

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-284138

(43) 公開日 平成9年(1997)10月31日

(51) Int.Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 3 M 7/30		9382-5K	H 0 3 M 7/30	Z
H 0 4 N 1/41			H 0 4 N 1/41	Z
7/24			7/13	Z

審査請求 未請求 請求項の数 5 O L (全 18 頁)

(21) 出願番号 特願平8-86729

(22) 出願日 平成8年(1996)4月9日

(71) 出願人 000005496

富士ゼロックス株式会社

東京都港区赤坂二丁目17番22号

(72) 発明者 富田 浩明

神奈川県足柄上郡中井町境430 グリーン

テクなかい 富士ゼロックス株式会社内

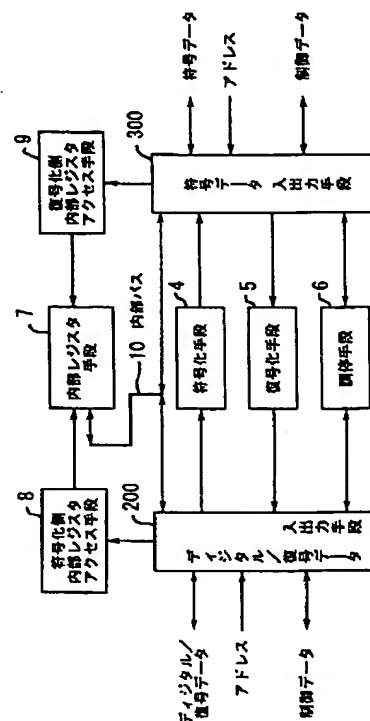
(74) 代理人 弁理士 服部 毅巖

(54) 【発明の名称】 CODEC装置及びCODECシステム

(57) 【要約】

【課題】 入出力のピン数を削減したCODEC装置を提供することを目的とする。

【解決手段】 符号化手段4は、デジタルデータを符号化する。復号化手段5は、符号データを復号化する。デジタル／復号データ入出力手段200は、デジタルデータの入力と復号データの出力の制御を行う。符号化データ入出力手段300は、符号データの入力、出力の制御を行う。内部レジスタ手段7は、内部バス10を通じて符号化手段4あるいは復号化手段5の制御を行う。符号化側内部レジスタアクセス手段8は、デジタル／復号データ入出力手段200から内部レジスタ手段7へアクセスする。復号化側内部レジスタアクセス手段9は、符号化データ入出力手段300から内部レジスタ手段7へアクセスする。調停手段6は、アクセス競合時に調停を行う。



【特許請求の範囲】

【請求項1】 デジタルデータの情報圧縮及び伸張を行うCODEC装置において、
前記デジタルデータを符号化して符号データに圧縮する符号化手段と、
前記符号データを復号化して復号データに伸張する復号化手段と、
前記デジタルデータの入力あるいは前記復号データの出力の制御を行うデジタル／復号データ入出力手段と、
前記符号データの入力あるいは出力の制御を行う符号データ入出力手段と、
前記デジタル／復号データ入出力手段と前記符号データ入出力手段とを接続する内部バスを通じて、前記符号化手段または前記復号化手段の制御を行う内部レジスタ手段と、
前記デジタル／復号データ入出力手段から前記内部レジスタ手段へアクセスする符号化側内部レジスタアクセス手段と、
前記符号データ入出力手段から前記内部レジスタ手段へアクセスする復号化側内部レジスタアクセス手段と、
前記符号化側内部レジスタアクセス手段と、前記復号化側内部レジスタアクセス手段とが、前記内部レジスタ手段へのアクセス実行時に競合した場合は、調停を行う調停手段と、
を有することを特徴とするCODEC装置。

【請求項2】 前記CODEC装置は単一の集積回路上に実装されることを特徴とする請求項1記載のCODEC装置。

【請求項3】 デジタルデータの情報圧縮及び伸張を行うCODECシステムにおいて、
前記デジタルデータを符号化して符号データに圧縮し、入出力処理を行う符号化処理手段と、
前記符号データを復号化して復号データに伸張し、入出力処理を行う復号化処理手段と、
前記符号化処理手段または前記復号化処理手段の制御を行う内部レジスタ制御手段と、
前記デジタルデータを格納するデジタルデータメモリと、
前記符号化処理手段または前記復号化処理手段と前記デジタルデータメモリとでデータ転送を行う際に、前記デジタルデータメモリと前記内部レジスタ制御手段との制御を行うダイレクトメモリアccess制御手段と、
を有することを特徴とするCODECシステム。

【請求項4】 前記ダイレクトメモリアccess制御手段は、前記デジタルメモリである画像メモリ手段と前記内部レジスタ制御手段とを制御する第1の前記ダイレクトメモリアccess制御手段と、前記デジタルメモリであるメインメモリと前記内部レジスタ制御手段とを制御する第2の前記ダイレクトメモリアccess制御手段と、

から構成されることを特徴とする請求項3記載のCODECシステム。

【請求項5】 前記CODECシステムは単一の集積回路上に実装されることを特徴とする請求項3記載のCODECシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はCODEC装置及びCODECシステムにおいて、特にデジタルデータの情報圧縮及び伸張を行うCODEC装置及びCODECシステムに関する。

【0002】

【従来の技術】デジタルデータとして画像データは、特にデータ量が膨大である。例えばA4用紙サイズのカラー画像を3300×4650画素で表現し、各画素を赤、青、緑の3色で1色当たり8bitで表現すると約46MByteのデータ量となる。このような膨大なデータを半導体メモリや磁気ディスク等の記憶手段に記憶させると多くの場所を占有してしまう。また、ある装置から別の装置へ画像データの伝送を行うと、伝送に時間がかかるという問題点がある。

【0003】そこで一般には、画像データが持つ冗長性を取り除きデータ量が少なくなるようなアルゴリズムを用いて画像を符号化することが行われている。そして、その符号化された符号データを記憶、伝送、復号化することで画像データを再生する。このような符号化、復号化を実現するために、符号化装置、復号化装置（以下では符号化装置、復号化装置をまとめてCODEC装置と呼ぶことにする）が用いられている。

【0004】一方、画像データは符号データよりもデータ量が多い。このためCODEC装置は、画像データを効率よく転送するために、画像データと符号データに対して独立した入出力ポートを用意している。すなわち画像データは、画像データバスを介してCODEC装置の画像データ用ポートに接続される。また、符号データは、符号データバスを介してCODEC装置の符号データ用ポートに接続される。このように独立した入出力ポートを用意することで、画像データと符号データが干渉することがなく、高スループットの符号化あるいは復号化処理が可能となる。

【0005】さらに、画像データの符号化あるいは復号化の際にはCODEC装置にいくつかのパラメータを与える必要がある。パラメータには、画像データの幅と高さ、カラー画像あるいはモノクログレースケール画像の区別、符号化・復号化アルゴリズムの区別等がある。これらパラメータはCODEC装置内にある内部レジスタに保持される。また、符号化あるいは復号化の結果としてCODEC装置はエラー発生の有無、データ量のカウンタ等のステータスを生成する。このステータスも、CODEC装置内の内部レジスタに保持される。

【0006】そして、CPUは、パラメータの書き込みやステータスの読み出しを行うことで、画像データの符号化あるいは復号化処理を実行する。このためCPUから内部レジスタにアクセスする手段が必要となる。

【0007】図16は、従来のCODEC装置の内部レジスタとメモリとの接続構成を示す図である。CODEC装置1aは画像メモリ110aと画像データバス20aで接続され、符号化メモリ130aと符号データバス30aとで接続される。また、CODEC装置1a内の内部レジスタ7aは、CPU120aと内部レジスタアクセス用バス10aとで接続される。

【0008】このような構成を持つものとして例えば川崎製鉄株式会社のデータシートフルカラー画像圧縮伸長LSI KL5A71003がある。このLSIでは画像データバス20aは画像データバスより入出力し、符号データバス30aはホストデータバスより入出力し、内部レジスタアクセス用バス10aに関しては制御用のMPバスを通じて入出力する。

【0009】また、別の例としては、富士フイルムマイクロデバイス株式会社のMD36059Xがある。このLSIは、画像データバス20aはピクセルデータI/Fバスを介して入出力し、符号データバス30aはコードデータI/Fバスを介して入出力し、内部レジスタアクセス用バス10aへのアクセスはホストI/Fバスを介して行う。

【0010】このようにCODEC装置には画像データバス、符号データバス、及び内部レジスタ用アクセスバスといった3つのバスが接続される構成をとっている。また、上記のCODEC装置を用いて符号化/復号化処理の高速化を実現したCODECシステムでは、一般に画像データの転送にダイレクトメモリアクセス（以下、DMAと呼ぶ。）が使用される。図17は、画像データの転送にDMAを使用する場合のCODECシステムの従来例である。

【0011】この場合、符号化の時はCPU120aから内部レジスタアクセス用バス10aを通じて、内部レジスタ7aにアクセスする。そして、内部レジスタ7aの符号化要求によりダイレクトメモリアクセス制御手段（以下、DMAC手段と呼ぶ。）100aは、画像データのフォーマットに合わせてアドレス24aを発生し、画像メモリ110aに送る。また、画像メモリ110aは、受信したアドレス24aに該当する画像データ21aを読み出し、CODEC装置1aに送る。そして、画像データ21aはCODEC装置1aで符号化され、符号データ31aとして出力される。

【0012】また、図では示さないが復号化の場合も同様に、DMAC手段は符号データのフォーマットに合わせてアドレスを発生し符号メモリに送る。符号メモリは該当するアドレスより符号データを読み出し、符号データバスを介してCODEC装置に送る。そして符号デー

タはCODEC装置で復号化され画像データとして出力される。

【0013】一方、DMAC手段100aはCPU120aによってプログラムされる。そして、DMAC手段100aによる画像データ21aの1回の転送は画像データ21aの一部の転送である。よって、DMA転送後、CPU120aは、CODEC装置1aの内部レジスタ7aをアクセスし、CODEC装置1aとDMAC手段100aとを初期化（具体的にはステータスレジスタの検査とパラメータの再設定とコマンドの再発行）し、再度DMA転送を行う。DMA転送完了時にはDMAC手段100aからCPU120aに割り込みをかけることでCPU120aに通知をする。この操作を繰り返すことで、画像データ全体の転送を達成する。

【0014】

【発明が解決しようとする課題】しかし、図16で説明した従来のCODEC装置では、内部レジスタへのアクセスのための第3のポートとして、8bit~32bitのデータバスの他に、読み出し、書き込み、WAIT等の制御信号として内部レジスタアクセス用バスが設けられていた。このために信号本数が増加し、CODEC装置を集積回路を用いて実装した場合などは入出力ピン数が増えることになる。この結果、チップサイズの増加、あるいはピン数の多いパッケージの採用を強いられ、コストアップの原因となっていた。

【0015】また、図17で説明した従来のCODECシステムでは、CPUがDMAC手段の設定とCODEC装置の設定および検査を行い、DMA転送完了時はCPUに割り込み通知が行われていた。このような操作を繰り返すことで画像データのDMA転送が行われるため、DMA転送に伴うCPUの前処理と後処理を繰り返す必要があった。よって、画像データの転送の性能低下が原因となり、画像データの符号化/復号化処理の性能を低下させていた。

【0016】本発明はこのように鑑みてなされたものであり、入出力ピン数を削減することが可能なCODEC装置を提供することを目的とする。また、本発明の他の目的は、集積回路のパッド数と集積回路用のパッケージのピン数を削減することが可能なCODEC装置を提供することにある。

【0017】さらに、本発明の他の目的は、符号化、復号化の処理性能を向上させるCODECシステムを提供することにある。また、本発明の他の目的は、集積回路のパッド数と集積回路用のパッケージのピン数を削減することが可能なCODECシステムを提供することにある。

【0018】

【課題を解決するための手段】本発明では上記課題を解決するために、デジタルデータの情報圧縮及び伸張を行うCODEC装置において、前記デジタルデータを

符号化して符号データに圧縮する符号化手段と、前記符号データを復号化して復号データに伸張する復号化手段と、前記デジタルデータの入力あるいは前記復号データの出力の制御を行うデジタル／復号データ入出力手段と、前記符号データの入力あるいは出力の制御を行う符号データ入出力手段と、前記デジタル／復号データ入出力手段と前記符号データ入出力手段とを接続する内部バスを通じて、前記符号化手段または前記復号化手段の制御を行う内部レジスタ手段と、前記デジタル／復号データ入出力手段から前記内部レジスタ手段へアクセスする符号化側内部レジスタアクセス手段と、前記符号データ入出力手段から前記内部レジスタ手段へアクセスする復号化側内部レジスタアクセス手段と、前記符号化側内部レジスタアクセス手段と前記復号化側内部レジスタアクセス手段とが、前記内部レジスタ手段へのアクセス実行時に競合した場合は、調停を行う調停手段と、を有することを特徴とするCODEC装置が提供される。

【0019】ここで、符号化手段は、デジタルデータを符号化して符号データに圧縮する。復号化手段は、符号データを復号化して復号データに伸張する。デジタル／復号データ入出力手段は、デジタルデータの入力と復号データの出力の制御を行う。符号データ入出力手段は、符号データの入力、出力の制御を行う。内部レジスタ手段は、内部バスを通じて、符号化手段または復号化手段の制御を行う。符号化側内部レジスタアクセス手段は、デジタル／復号データ入出力手段から内部レジスタ手段へアクセスする。復号化側内部レジスタアクセス手段は、符号データ入出力手段から内部レジスタ手段へアクセスする。調停手段は、内部レジスタ手段へのアクセスが競合した場合に調停を行う。

【0020】また、デジタルデータの情報圧縮及び伸張を行うCODECシステムにおいて、前記デジタルデータを符号化して符号データに圧縮し、入出力処理を行う符号化処理手段と、前記符号データを復号化して復号データに伸張し、入出力処理を行う復号化処理手段と、前記符号化処理手段または前記復号化処理手段の制御を行う内部レジスタ制御手段と、前記デジタルデータを格納するデジタルデータメモリと、前記符号化処理手段または前記復号化処理手段と前記デジタルデータメモリとでデータ転送を行う際に、前記デジタルデータメモリと前記内部レジスタ制御手段との制御を行うダイレクトメモリアクセス制御手段と、を有することを特徴とするCODECシステムが提供される。

【0021】ここで、符号化処理手段は、デジタルデータを符号化して符号データに圧縮し、入出力処理を行う。復号化処理手段は、符号データを復号化して復号データに伸張し、入出力処理を行う。内部レジスタ制御手段は、符号化処理手段または前記復号化処理手段の制御を行う。デジタルデータメモリはデジタルデータを格納する。ダイレクトメモリアクセス制御手段は、ディ

ジタルデータメモリと内部レジスタ制御手段との制御を行う。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面にもとづいて説明する。図1は、CODEC装置の主要部の原理図である。CODEC装置は、符号化を行う符号化手段4と、復号化を行う復号化手段5と、デジタルデータの入力、復号データの出力、アドレスの入力、制御データの入出力の制御を行うデジタル／復号データ入出力手段200と、符号データの入出力、アドレスの入力、制御データの入出力の制御を行う符号データ入出力手段300と、内部バス10を通じ符号化手段4と復号化手段5との制御を行う内部レジスタ手段7と、符号化側から内部レジスタ手段7へアクセスする符号化側内部レジスタアクセス手段8と、復号化側から内部レジスタ手段7へアクセスする復号化側内部レジスタアクセス手段9と、内部レジスタ手段7へのアクセス実行時に競合した場合は、調停を行う調停手段6と、から構成される。

【0023】次に、本発明のCODEC装置を画像データを符号化／復号化する場合に適用した場合の具体的な実施の形態について説明する。図2は、CODEC装置のブロック図である。まず、画像データバス側の接続について説明する。

【0024】画像データは16bitのデータバス21を通じて画像データ入出力手段210に接続する。CODEC装置1からデータバス21上へデータを読み出すためにRD信号22を用いる。データバス21上のデータをCODEC装置1に書き込むためにWT信号23を用いる。

【0025】また、2bitのアドレス24は、データバス21のデータのCODEC装置1内部の読み出し元あるいは書き込み先を指定する。WAIT信号25はCODEC装置1が読み出し、あるいは書き込みに直ちに応じられない場合に画像データバス20側のバスマスタ(図2には示されていない)に対してWAITすべきことを通知する。

【0026】DMAReq信号26は、画像データ入出力手段210が符号化時には符号化すべき画像データを入力できる状態にあることを示し、復号化時には復号化された画像データを出力できる状態にあることを示す。DMAAck信号27は、DMAC手段(図2には示されていない)が画像データのDMA転送として画像データ入出力手段210に対してアクセスしていることを示す。

【0027】さらに、画像データ入出力手段210は書き込み時には、データバス21から入力したデータを内部バス10と符号化手段4へ供給し、読み出し時には、内部バス10上の値と復号化手段5の出力をデータバス21に出力する。

【0028】次に、符号データバス側の接続について説明する。CODEC装置1からデータバス31上へデータを読み出すためにRD信号32を用いる。データバス31上のデータをCODEC装置1に書き込むためにWT信号33を用いる。

【0029】また、2bitのアドレス34は、データバス31のデータのCODEC装置1内部の読み出し元あるいは書き込み先を指定する。WAIT信号35はCODEC装置1が読み出しあるいは書き込みに直ちに感じられない時に符号データバス30側のバスマスタ（図2には示されていない）に対してWAITすべきことを通知する。DMAReq信号36は符号データ入出力手段300が、符号化時には符号データを出力できる状態にあることを示し、復号化時には符号データを入力できる状態にあることを示す。DMAAck信号37は、DMA手段がDMA転送として符号データ入出力手段300に対してアクセスしていることを示す。

【0030】さらに、符号データ入出力手段300は、書き込み時には、データバス31から入力したデータを内部バス10と復号化手段5に供給し、読み出し時には、内部バス10上の値と符号化手段4の出力をデータバス31に出力する。

【0031】また、CODEC装置1にはCLK1aが外部から供給され、これに同期して動作する。さらに、外部からリセット信号Reset1bも供給される。次に、各構成手段について説明する。符号化手段4は、カラー静止画符号化の国際標準化方式としてJPEG（Joint Photographic Experts Group）にて提案されているBaseline System（基本方式）の符号化方式に従った画像データの符号化を行う。符号化手段4は、画像データが入力可能な状態ならば画像データ入出力手段210にその旨を通知し、符号データが出力可能な状態ならば符号データ入出力手段300にその旨を通知する。

【0032】復号化手段5は、JPEG Baseline Systemに従った画像符号の復号化を行う。復号化手段5は、符号データが入力可能な状態ならば符号データ入出力手段300にその旨を通知し、復号化された画像データが出力可能な状態ならば画像データ入出力手段210にその旨を通知する。

【0033】次に、調停手段6について説明する。調停手段6は3つの状態を持つステートマシンで構成されている。そして、画像データ入出力手段210と符号データ入出力手段300とは、それぞれ調停手段6に対して要求信号6a、6bを与える。

【0034】一方、調停手段6からは画像データ入出力手段210と符号データ入出力手段300とへ、それぞれ許可信号6c、6dを与える。この要求信号と許可信号によりステートマシンの状態が遷移する。図3は、調停手段の状態遷移を示す図である。

【Step1】調停手段6のステートマシンはCLK1aに同期して動作し、Reset1bでリセットした場合はS0状態になる。

【Step2】画像データ入出力手段210からの要求信号6aが1ならばステートマシンの状態はS1に遷移する。

【Step3】1クロックサイクルの間S1状態を維持した後、ステートマシンの状態はS0に戻る。

【Step4】画像データ入出力手段210からの要求信号6aが0、かつ符号データ入出力手段300からの要求信号6bが1ならば、ステートマシンはS2状態に遷移する。

【Step5】1クロックサイクルの間S2状態を維持した後、ステートマシンの状態はS0に戻る。

【Step6】S0状態の場合に画像データ入出力手段210と符号データ入出力手段300との要求信号6a、6bがいずれも0ならば、ステートマシンはS0状態を維持する。

【0035】また、2つの許可信号6c、6dはステートマシンの状態によって値が決まる。例えば、画像データ入出力手段210に与えられる許可信号6cは、S1状態のときのみ1となり他の状態のときは0となる。また、符号データ入出力手段300に与えられる許可信号6dは、S2状態のときのみ1となり他の状態のときは0となる。

【0036】次に、内部レジスタ手段について説明する。図4は、内部レジスタの構成を示す図である。内部レジスタ手段7は、内部レジスタ70と、レジスタドライブ74、75とから構成される。また、内部レジスタ70はコマンドレジスタ71と、パラメータレジスタ72と、ステータスレジスタ73と、から構成される。コマンドレジスタ71、パラメータレジスタ72、ステータスレジスタ73はいずれも内部バス10に接続される。

【0037】また、3つの内部レジスタ71、72、73は、それぞれ2入力ORゲート74a～74cからなるレジスタドライブ74と、2入力ORゲート75a～75cからなるレジスタドライブ75と、によってドライブされる。OE2A1やLD2A1などの入力信号については後で説明する。

【0038】コマンドレジスタ71は、所定の値が書き込まれることで符号化手段4の動作/停止、復号化手段5の動作/停止を指示することができる。パラメータレジスタ72は、JPEG Baseline Systemの量子化/逆量子化の際に用いる量子化テーブルの係数を増減させるためのスケーリングファクタ値を指定するスケーリングファクタ指定手段72aと、処理すべき画素数を格納する画素数格納手段72bと、量子化テーブルとハフマン符号化の際に用いるテーブルの選択番号を設定するテーブル設定手段72cとから構成され

る。

【0039】スケーリングファクタ指定手段72aは、3bitで、量子化テーブルの標準の値を2^N（Nはスケーリングファクタ指定部72aの3bitを2の補数表示と解釈した値）倍し、量子化（符号化時）と逆量子化（復号時）の処理に使用する。さらに画素数格納手段72bは処理すべき画素数を格納する。

【0040】テーブル設定手段72cは、符号化手段4と復号化手段5との内部に含まれるカラー画像の輝度成分（YCrCb色空間のY成分）用の量子化テーブルとハフマン符号テーブルと、色差成分（YCrCb色空間のCr成分またはCb成分）用の量子化テーブルとハフマン符号テーブルとで、どちらを使うかを指定する。

【0041】ステータスレジスタ73は、符号化手段4または復号化手段5の処理終了を示すフラグと、符号化手段4または復号化手段5で検出されたエラーの有無とエラーの詳細を示すフラグとを有する。

【0042】次に、各レジスタの内部構成について説明する。ただし、パラメータレジスタの内部構成は、コマンドレジスタの内部構成と同じなので説明は省略する。図5は、コマンドレジスタの任意の1bitの回路図を示す図である。コマンドレジスタ71は、セレクト手段71aと、DFF（D型フリップフロップ）手段71bと、トライステートバッファ手段71cとから構成される。

【0043】2入力のセレクト手段71aの出力は、DFF手段71bのD入力に接続される。DFF手段71bのQ出力はセレクト手段71aの一方の入力とトライステートバッファ手段71cの入力に接続され、さらにCODEC装置1の内部でも使用される。セレクト手段71aのもう一方の入力は、内部バス10に接続される。

【0044】LDは、セレクト手段71aの入力選択として使われ、LD=1のときには内部バス10の値が、LD=0のときにはDFF手段71bのQ出力値がセレクト手段71aの出力となり、DFF手段71bのD入力に供給される。従って、DFF手段71bのCLK1aの立ち上がりエッジの際にLD=1とすることで内部バス10の値をDFF手段71bに書き込むことができる。

【0045】OEは、トライステートバッファ手段71cのアウトプットイネーブル入力に接続されている。従ってOE=1とするとDFF手段71bにラッチされている値を内部バス10に出力することができる。OE=0ならばトライステートバッファ手段71cはOFF（高インピーダンス状態）となり、内部バス10に影響を与えない。Reset1bがDFF手段71bのリセット入力に接続されている。これにより、リセット時には、コマンドレジスタはリセットされる。

【0046】次に、ステータスレジスタの内部構成につ

いて説明する。図6は、ステータスレジスタの任意の1bitの回路図を示す図である。2つのセレクト手段73aと73b、DFF手段73c、トライステートバッファ手段73d、ORゲート73eとから構成されている。図6を図5と比較すると、セレクト手段73aとORゲート73eとが追加されていることがわかる。これらは、CODEC装置1で発生したステータス情報をレジスタにロードするために設置されている。

【0047】内部バス10のデータをステータスレジスタ73にロードしないときはLD=0となっているので、ステータス情報はセレクト手段73aの一方の入力よりセレクト手段73aの出力に現れ、セレクト手段73bの入力に供給される。

【0048】ステータスをロードする時にはCODEC装置1内部でステータスロード信号が1となり、これによりORゲート73eの出力も1となる。ORゲート73eの出力はセレクト手段73bの入力選択に接続されている。そして、ここが1となることで、セレクト手段73aの出力、すなわちCODEC装置1内部のステータス情報がDFF手段73cのD入力に現れる。従って、DFF手段73cのクロック入力CLK1aの立ち上がりエッジの時にステータスロード信号を1にし、ステータス情報を供給することでCODEC装置1内部のステータス情報をステータスレジスタ73にロードすることができる。

【0049】次に、画像データから内部レジスタ手段へのアクセスについて説明する。内部レジスタ手段へのアクセスは、符号化側/復号化側内部レジスタアクセス手段8、9で行われる。ここで、符号化側内部レジスタアクセス手段8と、復号化側内部レジスタアクセス手段9とは、構成は同じなので符号化側内部レジスタアクセス手段8についてのみ説明する。

【0050】図7は、符号化側内部レジスタアクセス手段の一部を示すブロック図である。符号化側内部レジスタアクセス手段8からは3つの内部レジスタ手段7の為のLD信号（LD2A1、LD2A2、LD2A3）とOE信号（OE2A1、OE2A2、OE2A3）とが生成される。これら6つの信号は6個の4入力ANDゲート212a～212fで作られる。また、4入力ANDゲート212a～212fの入力は、レジスタセレクト信号A1、A2、A3と、WT信号23と、許可信号6cと、DMAAck信号27のnotと、RD信号22とからなる。

【0051】また、アドレス24はアドレスデコーダ211に与えられ、レジスタセレクト信号A1、A2、A3と制御信号A123とが生成される。図8は、アドレスデコーダの入出力の関係を示す真理値表である。真理値表8aは、アドレスと、レジスタ割り当てと、レジスタセレクト信号A1、A2、A3と制御信号A123とから構成される。アドレスデコーダ211は、入力され

たアドレスに対してデコード信号を作成する。例えば、アドレスが2の場合は、レジスタセレクト信号A1、A2、A3がそれぞれ0、1、0、及び制御信号A123が1となるようなデコード信号がパラメータレジスタに割り当てられる。

【0052】図9にANDゲートの論理構成部を示す。論理構成部8bの表は、ANDゲート212a～212fの論理と接続先とを示している。論理と接続先として例えば、LD2A2は、A1とWT(WT信号23)と調停手段からの許可信号6cと、DMAAck信号27のnotとの論理積であることを示している。そして、ANDゲート212aの出力先は、ORゲート75bの一方に入力される。

【0053】また、図7では内部バス10は2つのトライステートバッファ213、214を介してデータバス21に接続される。トライステートバッファ213はデータバス21を入力とし、内部バス10を出力とするトライステートバッファで、 $(A123 * WT信号23 * 調停回路からの許可信号6c) = 1$ のときに内部バス10をドライブし、0のときにはドライブしない。

【0054】また、トライステートバッファ214は、内部バス10を入力とし、データバス21を出力とするトライステートバッファで、 $(A123 * RD信号22 * 調停回路からの許可信号6c) = 1$ のときにデータバス21をドライブし、 $(A123 * RD信号22 * 調停回路からの許可信号6c) = 0$ のときにはドライブしない、すなわち高インピーダンスとなる。

【0055】次に、画像データバスから内部レジスタ手段に書き込む時の動作について説明する。図10は、画像データバスから内部レジスタ手段に書き込む時の動作タイミングを示す図である。ここではコマンドレジスタ71に書き込むものとし、さらに符号データバス30からの読み出しまたは書き込み動作はないものとする。

【0056】画像データバス20のバスマスタは、データバス21に書き込みデータを出力し、RD信号22=0、WT信号23=1、アドレス24=01(2進数)を出力する。このとき調停手段6はS0状態にあるため、画像データ入出力手段210への許可信号6cは0となり、WAIT信号25は1となる。

【0057】したがって、バスマスタは次のサイクルもデータバス21、RD信号22、WT信号23、アドレス24に同じ値を出力する。また、LD2A1=0かつLD3A1=0のため、コマンドレジスタ71へのLD信号も0となり、レジスタへの書き込みはまだ発生しない。トライステートバッファ213もOFFのままである。

【0058】次のサイクルでは調停手段6はS1状態となるので、画像データ入出力手段210への許可信号6cは1となる。これにより、トライステートバッファ213が内部バス10をデータバス21の値にドライブす

る。

【0059】また、LD2A1=1となり、ORゲート75a出力は1となり、コマンドレジスタのLDは1となり、サイクルの最後のCLK1aの立ち上がり時に内部バス10の値すなわちコマンドレジスタへの書き込み値がコマンドレジスタ71に書き込まれる。さらにWAIT信号=0となり、バスマスタはWAIT状態から脱出する。コマンドレジスタ71からの読み出しも、同様に行われるが、LD2A1の代わりにOE2A1が1となり、トライステートバッファ213の代わりにトライステートバッファ214がドライブ状態となる。

【0060】次に、画像データバスと符号データバスのアクセスが競合した場合の動作を説明する。図11は、アクセスが競合した場合の動作タイミングを示す図である。画像データバス20から内部レジスタ手段7にアクセスを試みた時に既に符号データバス30からのアクセスがあり、調停手段6の状態がS2にあるときは、WAIT信号25は1を出力するので、画像データバス20側のバスマスタはWAITする。

【0061】そして、次のサイクルにて調停手段6はS0状態となり、その次のサイクルにて調停手段6はS1状態となる。よって、画像データバス20側の内部レジスタ手段7へのアクセスが行われ、さらにWAIT信号25=0となることでバスマスタのWAITが解除される。

【0062】画像データバス20のバスマスタと符号データバス30のバスマスタが同時に内部レジスタ手段7へのアクセスを試みた場合は、調停手段6の状態はS0からS1へ移行し、画像データバス20側にアクセスが許され、かつWAIT信号25=0が出力される。そして、次のサイクルにおいてS0状態となり、ここで画像データバス20のさらなるアクセス要求がないならば、その次のサイクルでS2状態となり、符号データバス30のアクセスが行われる。このように調停手段6により2つのバスから同時に内部レジスタ手段7へのアクセスが起きることが禁じられているため、内部バス10上でデータがぶつかり合うことはない。

【0063】一方、符号データバス30側から内部レジスタ手段7にアクセスする場合は、符号データ入出力手段300を用い、上記で説明したのと全く同様に行う。ただし、信号LD2A1、LD2A2、LD2A3、及びOE2A1、OE2A2、OE2A3の代わりに同様の信号LD3A1、LD3A2、LD3A3、及びOE3A1、OE3A2、OE3A3を生成し、これらの接続先は、それぞれORゲート74a～74c、75a～75cのもう一方の入力となる。

【0064】以上説明したように本発明のCODEC装置は、内部レジスタ手段へのアクセスのための専用の入出力手段をなくした構成とした。これにより、CODEC装置を実装する集積回路のパッド数と集積回路用パッ

ケージのピン数を減らすことが可能である。よって、集積回路のコストを下げることができ、またより少ないピンのパッケージに収めることができる。

【0065】次に、本発明のCODECシステムについて説明する。図12はCODECシステムの原理図である。CODECシステムは、ディジタルデータを符号化して、入出力処理を行う符号化処理手段400と、符号データを復号化して、入出力処理を行う復号化処理手段500と、符号化処理手段400または復号化処理手段500の制御を行う内部レジスタ制御手段700と、ディジタルデータを格納するディジタルデータメモリ110と、ディジタルデータメモリ110と内部レジスタ制御手段700との制御を行うDMAC手段100と、から構成される。

【0066】ここで、本発明のCODECシステムの符号化処理手段400と、復号化処理手段500と、内部レジスタ制御手段700とは、上記で説明したCODEC装置の内部構成を一般化したものである。よって、以下の実施の形態では、CODEC装置1を用いてシステムを構築した場合のCODECシステムについて説明する。

【0067】次に、本発明のCODECシステムを画像データを符号化／復号化する場合に適用した場合の第1の実施の形態について説明する。図13は、CODECシステムのブロック図である。CODECシステムはCODEC装置1と、DMAC手段100と、画像メモリ手段と110aと、CPU120と、メインメモリ130と、I/O手段140と、から構成される。CPU120とメインメモリ130とI/O手段140とは、システムバス150に接続している。また、I/O手段140は、RS232C I/F141と、Disk I/F142と、Ethernet I/F143とから構成される。

【0068】ここで、RS232C I/F141はコンソールとの接続の為にあり、コンソールを用いて本システムをオペレータが操作する。Disk I/F142は、Disk装置に接続され、符号データを記録するために用いられる。Ethernet I/F143は、Ethernetと接続され、画像データあるいは符号データを、受信あるいは送信するために用いられる。また、システムバス150はアドレスバスと、データバスと、制御バスとから構成される。

【0069】次に、各構成手段の接続について説明する。画像メモリ手段110aは2ポートメモリであって、第1のポートは画像データバス20に接続し、第2のポートはシステムバス150に接続する。CPU120は第2のポートを用いて画像メモリ手段110aの内容を読み出したり書き込んだりすることができる。DMAC手段100は画像データバス20に接続する。

【0070】CODEC装置1の画像データ入出力手段

210側は、画像データバス20に接続される。CODEC装置1の符号データ入出力手段300側は、符号データバスであるが、これはシステムバス150に接続する。CODEC装置1の画像データの転送はDMAC手段100で行い、符号データの転送はCPU120の命令によって行われる。CPU120の命令による転送レートはDMAC手段100の転送レートと比較してはるかに低いが、JPEGの画像データ符号化によってデータ量が十分に小さくなるため、CPU120の命令による転送でも実施例の用途には十分である。

【0071】RD信号22、WT信号23、WAIT信号25、DMAREq信号26、それにDMAAck信号27はDMAC手段100に直接接続する。データバス21とアドレスバス24は画像データバス20のデータバス部とアドレスバス部に接続する。CPU120からDMAC手段100へはDMAスタート信号120aが送られ、DMAC手段100からCPU120へは割り込み要求信号100aが送られる。

【0072】また、DMAC手段100は画像メモリ手段110aにアクセスするためのアドレスを生成し、画像データバス20を通じて画像メモリ手段110aに送る。また、DMAC手段100はCODEC装置1の内部レジスタのアドレス(2bit)を生成し、画像データバス20を通じてCODEC装置1に送る。

【0073】また、DMAC手段100により画像メモリ手段110aから読み出された画像データは、画像データバス20のデータバス21を通じてCODEC装置1へ送られる。CODEC装置1から出力された画像データはDMAC手段100の制御のもとでデータバス21を通じて画像メモリ手段110aに送られ書き込まれる。DMAC手段100は画像メモリ手段110aからDMAC手段100に対する命令語を読み出し、それに従い動作し、さらにDMAC手段100のステータスを画像メモリ手段110aに書き込めるようになっている。

【0074】次に、CODEC装置1の符号データの供給について説明する。CODEC装置1の符号データバス側のDMAREq信号36をCPU120に対する割り込み要求信号として使う。DMAC手段100がCODEC装置1のコマンドレジスタ71に復号化手段5のスタートを指示すると復号化手段5が動きはじめ、符号データを符号データ入出力手段300に要求し、符号データ入出力手段300はDMAREq信号36=1とする。これがCPU120に割り込み要求として通知され、CPU120は割り込みを起こす。そして、割り込み処理ルーチンにてCPU120はメインメモリ130から符号データを読み出し、CPU120はシステムバス150を通じて、CODEC装置1に符号データを書き込む。

【0075】これによりDMAREq信号36=0とな

りCPU120への割り込み要求は取り下げられる。その後CPU120は、割り込み処理ルーチンからリターンし、割り込まれた時点の処理を続行する。符号データの供給に関するCPU120の処理は、割り込みルーチン内で、メインメモリ130から符号データをロードし、CODEC装置1にストアし、割り込みルーチンからリターンするというたいへん単純で短い処理となり、CPU120にとって負担とはならない。

【0076】図14は、画像メモリ内のDMACのための命令語と、画像データエリアとの関係を示す図である。まずCPU120が画像メモリ手段110a中の所定のアドレス(0番地)からDMAC手段100への命令語の集合を書き込む。その後、DMAC手段100は命令語111を読み出し、画像メモリ手段110aとCODEC装置1との間でDMA転送処理を行う。そして、それが終わったら次に実行すべき命令語が入っているアドレスを示すリンク111hを利用して次の命令語112を読み出し、DMA転送処理を行う。

【0077】命令語の最初にはDMACコマンド111aがある。これはDMAC手段100の動作を規定し、データ転送(画像メモリ手段110aからCODEC装置1へ、あるいは、CODEC装置1から画像メモリ手段110aへ)、DMAC動作停止、サブルーチンコール、リターンが定義されている。DMACコマンド111aが「データ転送」のとき、2番目の語は画像メモリ中の転送先アドレス111b、3番目の語は転送すべきバイト数111c、4番目の語はCODEC装置1のパラメータレジスタ72に書き込むべき値であるパラメータ111dである。

【0078】さらに、5番目の語はCODEC装置1のコマンドレジスタ71に書き込むべき値であるコマンド111eである。6番目の語はマスクした値を示す111f、7番目の語はDMAC手段100のステータスを書き込むべき画像メモリ手段110aのアドレスであるステータス書き込み先111g、8番目の語はリンク111hである。

【0079】JPEGの場合、8×8画素のブロックを1単位として扱い、このブロックを横方向に走査し符号化する。そこで1回のDMAの単位を8×8画素のブロック1列すなわち8走査線とすると便利である。そこで1走査線当たりW画素、40走査線からなる画像を復号化するとき、5個のデータ転送用命令語と最後に1個のDMAC停止用命令語をCPU120によって画像メモリ手段110a中に予め書き込んでおく。CPU120は、DMAC手段100へのスタート信号120aを1にし、DMAC手段100にスタートを指示する。DMAC手段100は画像メモリ手段110aの0番地より最初の命令語111を読み出す。

【0080】まず、DMACコマンド111aを読む。DMACコマンド111aはCODEC装置1からのデ

ータ転送となっているので、転送先アドレス111bと転送バイト数111cとを読み出し、DMAC手段100内部のレジスタにセットする。

【0081】次に、CODEC装置1のパラメータレジスタ72に書き込むべき値を読み出しその値をデータバス21に出力し、RD信号22を0、WT信号23を1、アドレス信号24を10(2進数)とし、CODEC装置1のパラメータレジスタ72にパラメータ111dを書き込む。

【0082】次にコマンド111eを読み出し、4番目の語と同様にCODEC装置1のコマンドレジスタ71に書き込む。ここで書き込まれる値すなわちコマンド111eにセットされている値は、CODEC装置1の復号手段5をスタートさせるコマンドである。

【0083】これによりCODEC装置1が復号を始め、DMAC手段100はDMAREQ信号26が1になるのを待つ。DMAREQ信号26が1になったら、DMAC手段100は画像データバスのアドレスバスに画像メモリ手段110aの書き込み先アドレスを出し、CODEC装置1に対してはRD信号22=1、WT信号23=0、DMAACK信号27=1を出力する。そして、復号した画像データをCODEC装置1からデータバス21に出力させ、画像メモリ手段110aに送る。また、DMAC手段100はCODEC装置1のWAIT信号25を監視し、これが0のときに画像メモリ手段110aにデータバス21上のデータすなわち復号した画像データを書き込ませる。

【0084】このデータ転送を命令語の転送バイト数111cを達成するまで繰り返す。繰り返し終えたら、DMAC手段100は、まず、マスク111fの値を読み出し。次いで、CODEC装置1に対して、RD信号22=1、WT信号23=0、アドレス24=11(2進数)を出力し、CODEC手段1のステータスレジスタ73を読み出す。ここで読み出した値とマスク値のANDをとり、その結果、復号がエラーなく終了したことを示していれば正常、そうでないならば異常とする。

【0085】DMAC手段100はリンク111hを読み出し、正常/異常に関する情報をアドレスに書き込む。次に、DMAC手段は命令語のリンク111hを読み出し、リンク111hを使い2番目の命令語112を読み、同様な処理を行う。命令語112~115の処理を終えたら、DMAC手段100は命令語116を読む。この命令後のDMACコマンド(図示せず)は「DMAC停止」なので、DMAC手段100は割り込みリクエスト信号を1にし、CPU120に対し割り込みをかけ、DMACの動作が終わったことを通知し、動作を停止する。

【0086】次に、CODECシステムの第2の実施の形態について説明する。図15は、第2の実施の形態を示すCODECシステムのブロック図である。第1の実

10

20

30

40

50

施の形態では、画像データバス上のデータ転送をDMAで行ったが、第2の実施の形態では、画像データバス20側のデータ転送をつかさどるDMAC手段100のほかに、符号データバス30側のデータ転送をつかさどる別のDMAC手段101が備えられている。ここで、画像データバス側のDMAの動作は第1の実施の形態で説明したのと全く同様であるので説明を省略し、符号データバス側のDMAについて説明する。

【0087】DMAC手段101は、CODEC装置1の符号データバス側のRD信号32と、WT信号33とアドレス34とを生成供給する。CODEC装置1の符号データバス30のデータバス31はDMAC手段101と接続している。DMAC手段101は、CODEC装置1のWAIT信号35を入力する。さらにCODEC装置1からDMAC手段101へDMAのリクエスト信号であるDMAReq信号36が接続され、DMAC手段101からCODEC装置1へはDMA許可信号であるDMAAck信号37が接続されている。

【0088】さらに、DMAC手段101は、システムバス150とも接続している。これによりCPU120からDMAC手段101の内部レジスタにアクセスすることが可能となり、かつDMAC手段101がシステムバス150を介してメインメモリ130にアクセスすることも可能となる。CPU120からDMAC手段101へはDMAを起動させるためのDMACスタート信号120bが接続されている。DMAC手段101からCPU120へは、CPU120に対する割り込み要求信号101aが接続されている。

【0089】次に、メインメモリに格納されている符号データをCODEC装置1で復号し、画像メモリ手段に格納する場合について説明する。まず、CPU120は、メインメモリ130に格納されている符号データの開始アドレスとデータサイズとをそれぞれDMAC手段101の内部レジスタに格納する。その後DMACスタート信号120bを1として、DMAC手段101をスタートさせる。DMAC手段101は、システムバス150を経由してメインメモリ130のアドレスより符号データを順次読みだしていく。読みだされた符号データは一旦DMAC手段101内部に格納される。

【0090】一方、上記処理と並行して、CPU120は画像メモリ手段110aにDMAC手段100のための命令語の集合を書き込む。そして、DMACスタート信号120aを1としてDMAC手段100を起動する。DMAC手段100はすでに第1の実施の形態で述べたように命令語に従ってCODEC装置1の内部レジスタをセットする。これによりCODEC装置1のDMAReq信号36が1となる。

【0091】また、DMAC手段101はDMAReq信号36=1となったら、内部に格納した符号データをデータバス31に出力し、DMAAck信号=1として

有効な符号データがデータバス31上にあることをCODEC装置1に知らせる。そして、CODEC装置1は符号データを読み、DMAReq信号36を0とする。これによりDMAC手段101はDMAAck信号37を0とする。このようにCODEC装置1とDMAC手段101はDMAReq信号36とDMAAck信号37とを用いて、ハンドシェイク制御を行うことで、符号データを転送する。

【0092】さらに、CODEC装置1はDMAC手段101より1ワードあるいは複数ワードの符号データを受け取った後にそれを復号し、画像データを作る。この画像データはDMAC手段100により画像データバス20を経て、画像メモリ手段110aに書き込まれる。画像データの転送は第1の実施の形態にて説明したので省略する。

【0093】また、DMAC手段101は、メインメモリ130に格納された符号データをCODEC装置1に転送するほかに、符号データに負荷されている各種ヘッダの処理を行う。ヘッダにはCODEC装置1における圧縮・伸張アルゴリズムの選択を指定するものがある。本実施例では多階調の画像成分についてはJPEGを使い、白黒2値画像についてはランレングス圧縮アルゴリズムを用いている。

【0094】ヘッダはJPEG符号とランレングス圧縮とを区別する。DMAC手段101はメインメモリ130から読みだした符号データ中にヘッダを発見すると、符号データバス30のWT信号33とアドレス34とデータバス31とを用いてCODEC装置1のパラメータレジスタを書き換えて復号手段を切り替える。

【0095】そして、DMAC手段101のレジスタに設定した量の符号データのCODEC装置1への転送が終了すると、DMAC手段101は割り込み要求信号101aを1としてCPU120に完了を通知する。CPU120は両者からの割り込みが発生したことで処理の完了を知る。

【0096】以上では符号データを復号化するかわち伸張するケースについて説明したが、画像データを符号化するかわち圧縮するケースはデータが流れる方向が逆であるだけなので、説明は省略する。

【0097】以上説明したように、本発明のCODECシステムは、複数の圧縮・伸張アルゴリズムを切り替えて圧縮・伸張を行う場合においてもDMAC手段が内部レジスタを操作できる構成とした。これにより、CPUによる処理を極力減らすことができ、処理速度の向上をはかることができる。

【0098】さらに、本発明のCODECシステムは、上記で説明したCODEC装置と同様に単一の集積回路上に実装する構成にすることが可能である。これにより、集積回路のパッド数と集積回路のパッケージのピン数を削減することが可能となる。

【0099】上記の説明では、符号化／復号化の方式としてJPEGを採用したが、他の符号化／復号化方式を採用してもよい。また、CODEC装置のなかに、複数の方式の符号化手段と復号化手段を実装し、コマンドレジスタにてどの符号化手段あるいは復号化手段を動作させるかを選択できるようにさせてもよい。

【0100】さらに、上記の説明では、デジタルデータとして画像データとしたが、それ以外のデジタル化されたデータ一般に適用できる。また、上記の説明では、調停手段は画像データバス側を優先したが、符号データバス側の優先度を高くしてもよい。また、双方のバスの優先度をラウンドロビン方式で入れかえるようにしてもよい。調停手段の優先順位づけ方法は、CODEC装置を含む処理装置の用途に応じて、それぞれ好ましい態様があるからである。

【0101】

【発明の効果】以上説明したように本発明のCODEC装置は、内部レジスタ手段へのアクセスのための専用入出力ポート手段をなくす構成とした。これによりCODEC装置の入出力のピン数を削減することが可能となる。

【0102】また、本発明のCODEC装置を単一の集積回路上に実装する構成とした。これにより、集積回路のパッド数と集積回路のパッケージのピン数を削減することが可能となる。

【0103】さらに、本発明のCODECシステムは、DMAC手段がCODEC装置の内部レジスタを制御できる構成とした。これにより、CODEC装置に入出力する画像データのDMA転送の性能を向上させ、符号化／復号化処理の性能を向上させることが可能となる。

【0104】また、本発明のCODECシステムは、画像メモリと内部レジスタとを制御するDMAC手段と、メインメモリと内部レジスタとを制御するDMAC手段と、を設ける構成とした。これにより、符号化／復号化処理の性能をさらに向上させることが可能となる。

【0105】さらに、本発明のCODECシステムは、単一の集積回路上に実装する構成とした。これにより、集積回路のパッド数と集積回路のパッケージのピン数を削減することが可能となる。

【図面の簡単な説明】

【図1】本発明のCODEC装置の原理図である。

【図2】CODEC装置のブロック図である。

【図3】調停手段のステートマシンの状態遷移図である。

【図4】内部レジスタ手段の構成図である。

【図5】コマンドレジスタの任意の1bitの回路図を示す図である。

【図6】ステータスレジスタの任意の1bitの回路図を示す図である。

【図7】符号化側内部レジスタアクセス手段の一部を示す構成図である。

【図8】アドレスデコーダの入出力の関係を示す真理値表である。

【図9】ANDゲートの論理と接続先を示す。

【図10】画像データバスから内部レジスタ手段に書き込む時の動作タイミングを示す図である。

【図11】符号データバスと競合するときに、画像データバス側からの内部レジスタ手段をアクセスする様子を示すタイミング図である。

【図12】本発明のCODECシステムの原理図である。

【図13】CODECシステムのブロック図である。

【図14】画像メモリ手段内のDMACのための命令語と画像データエリアとの関係を示す図である。

【図15】CODECシステムの第2の実施の形態を示すブロック図である。

【図16】従来技術によるCODEC装置を示す図である。

【図17】従来技術によるCODECシステムを示す図である。

【符号の説明】

4 符号化手段

5 復号化手段

6 調停手段

7 内部レジスタ手段

8 符号化側内部レジスタアクセス手段

9 復号化側内部レジスタアクセス手段

10 内部バス

200 デジタル／復号データ入出力手段

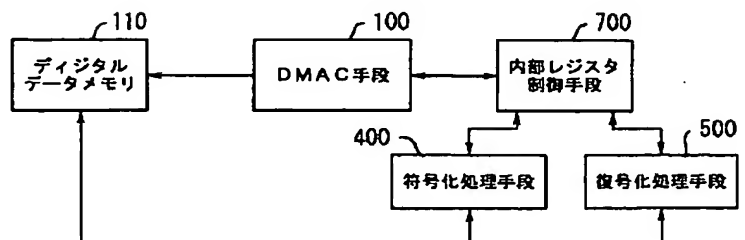
300 符号データ入出力手段

【図8】

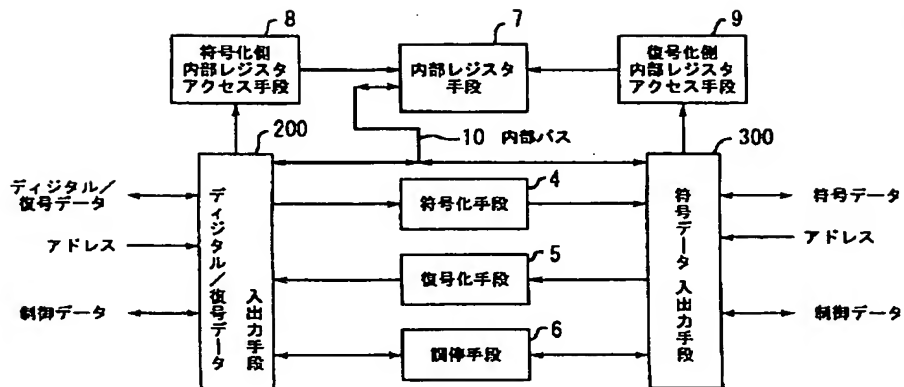
8a

アドレス	レジスタ割り当て	A1	A2	A3	A123
0	符号化手段	0	0	0	0
1	コマンドレジスタ	1	0	0	1
2	パラメータレジスタ	0	1	0	1
3	ステータスレジスタ	0	0	1	1

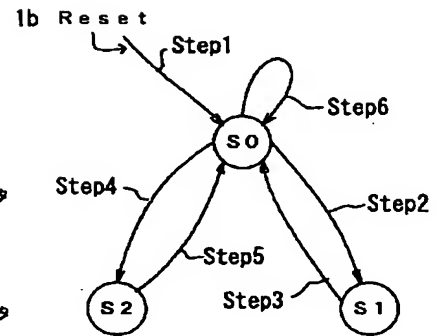
【図12】



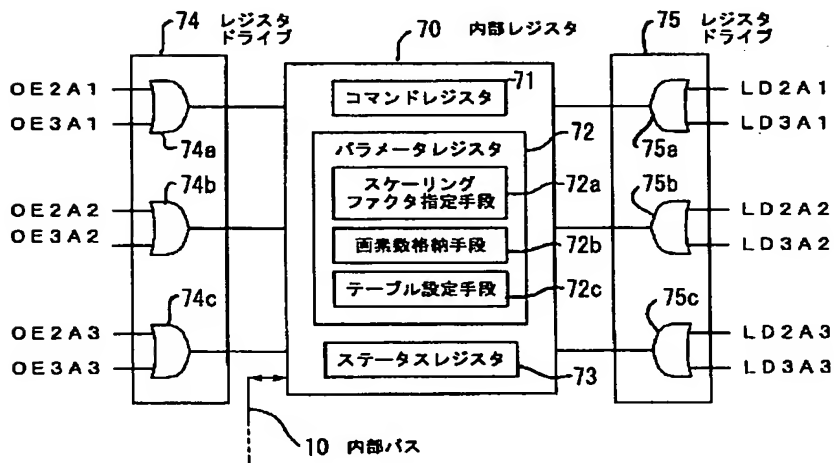
【図1】



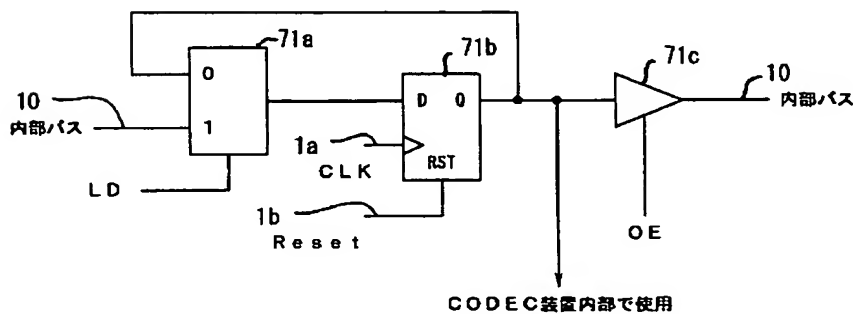
【図3】



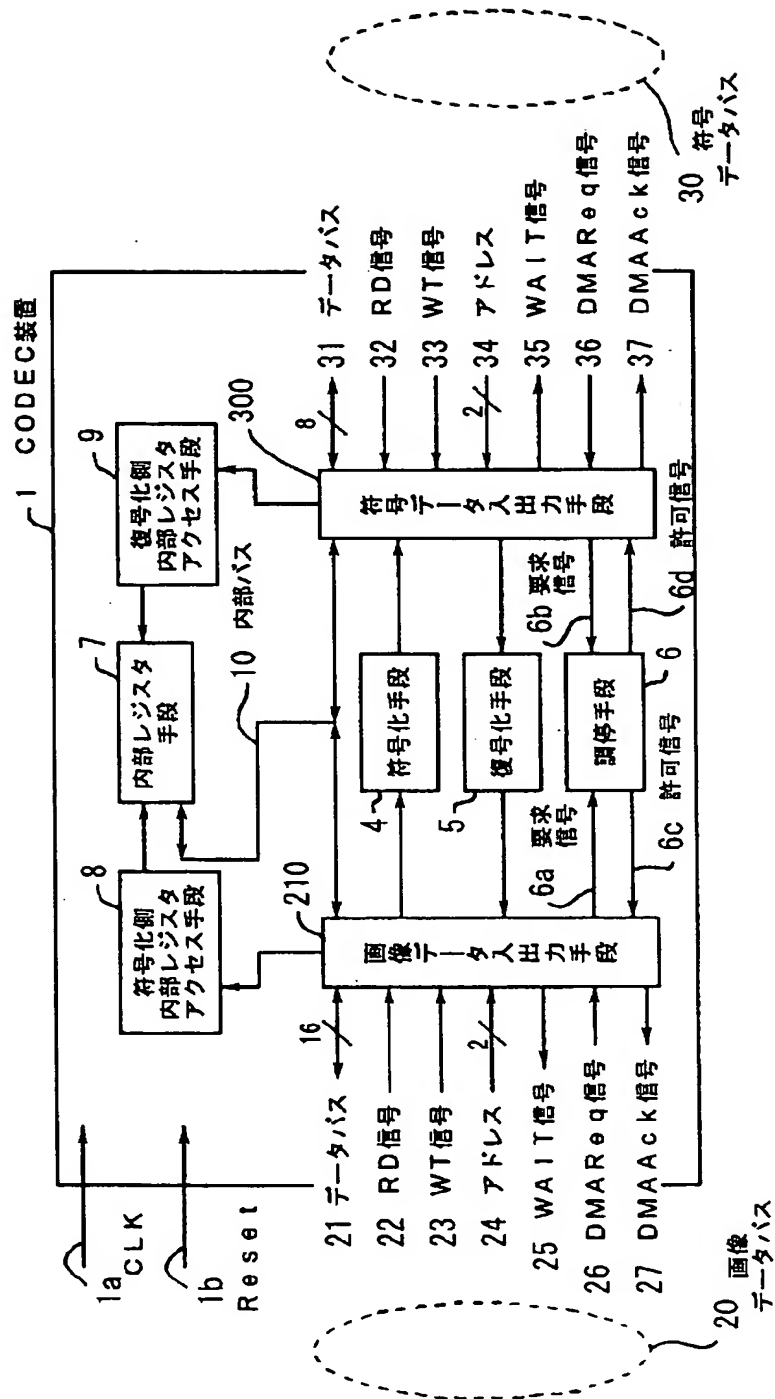
【図4】



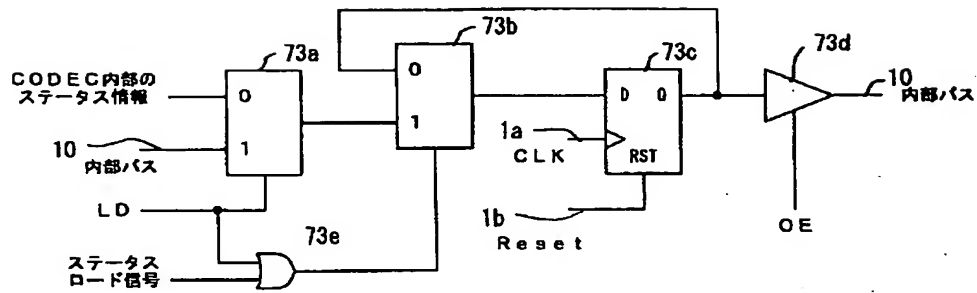
【図5】



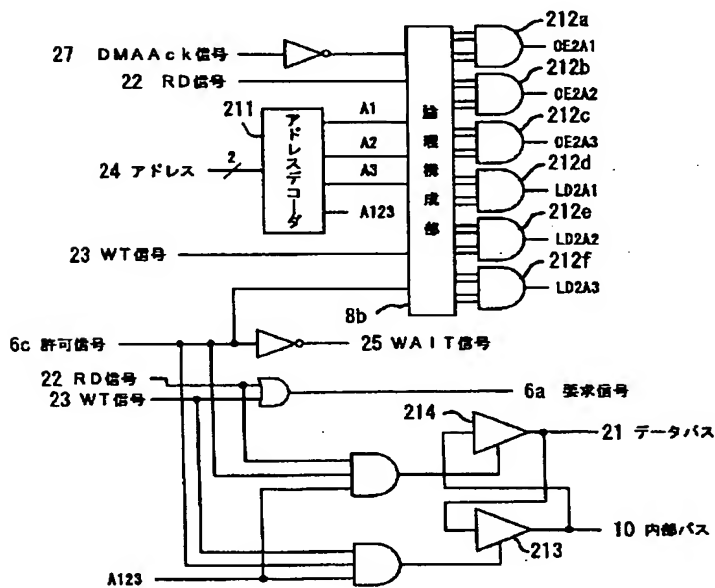
【図2】



【図6】



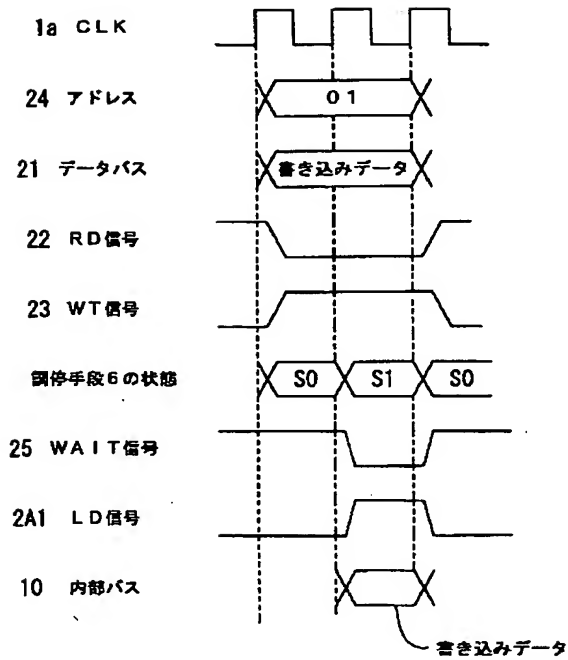
【図7】



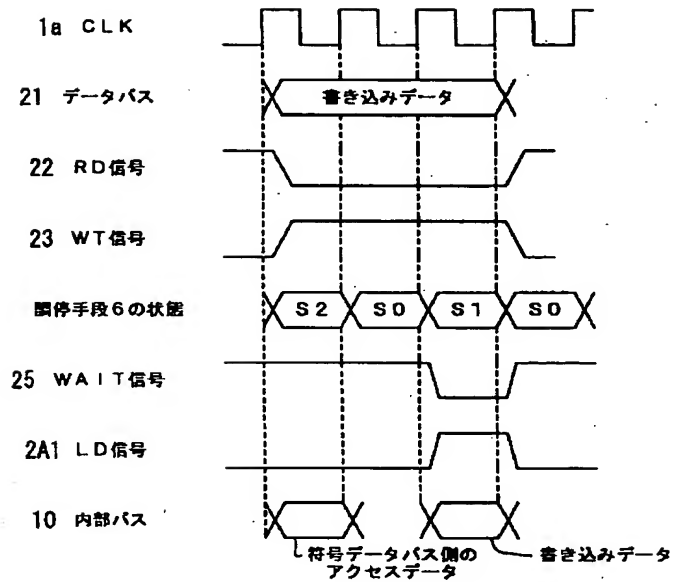
【図9】

論理	接続先
$LD2A1 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート75aの一方の入力
$LD2A2 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート75bの一方の入力
$LD2A3 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート75cの一方の入力
$OE2A1 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート74aの一方の入力
$OE2A2 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート74bの一方の入力
$OE2A3 = A1 * WT * \text{調停手段からの許可信号} * DMAAck$	ORゲート74cの一方の入力

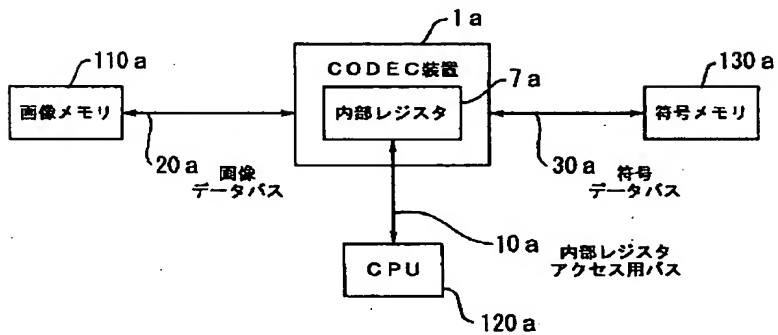
【図10】



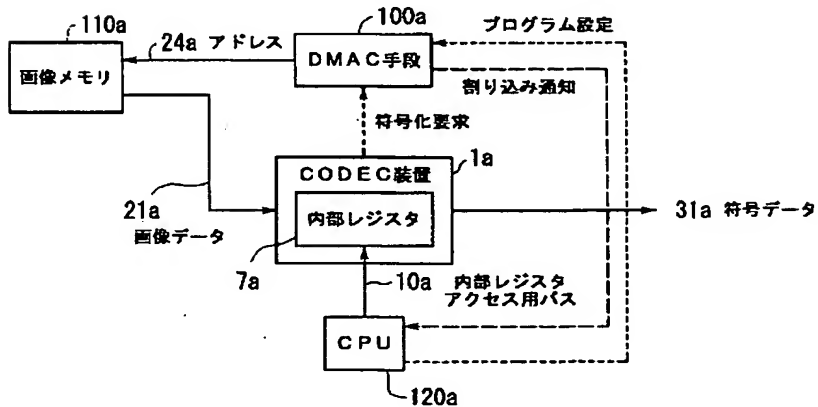
【図11】



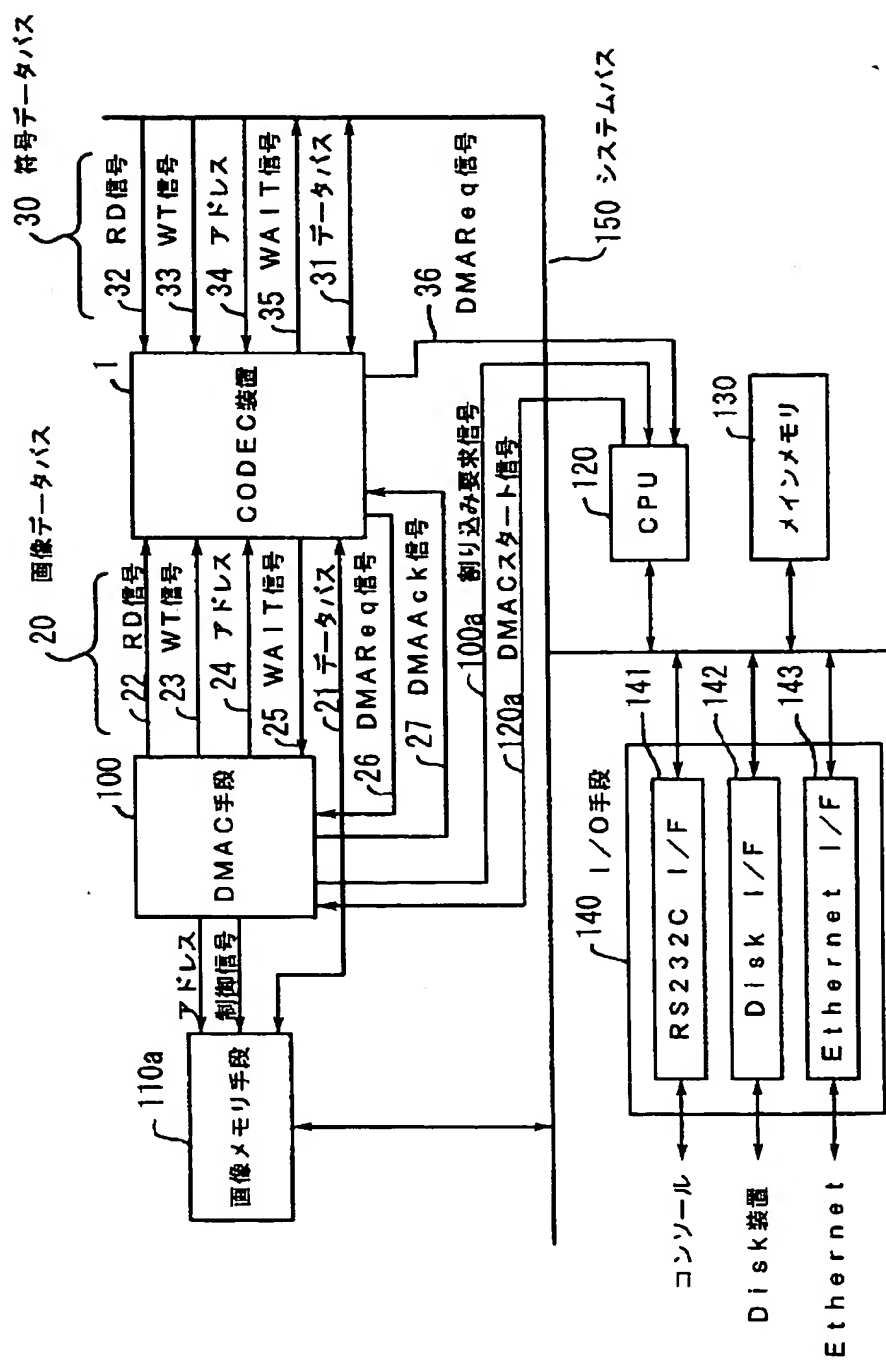
【図16】



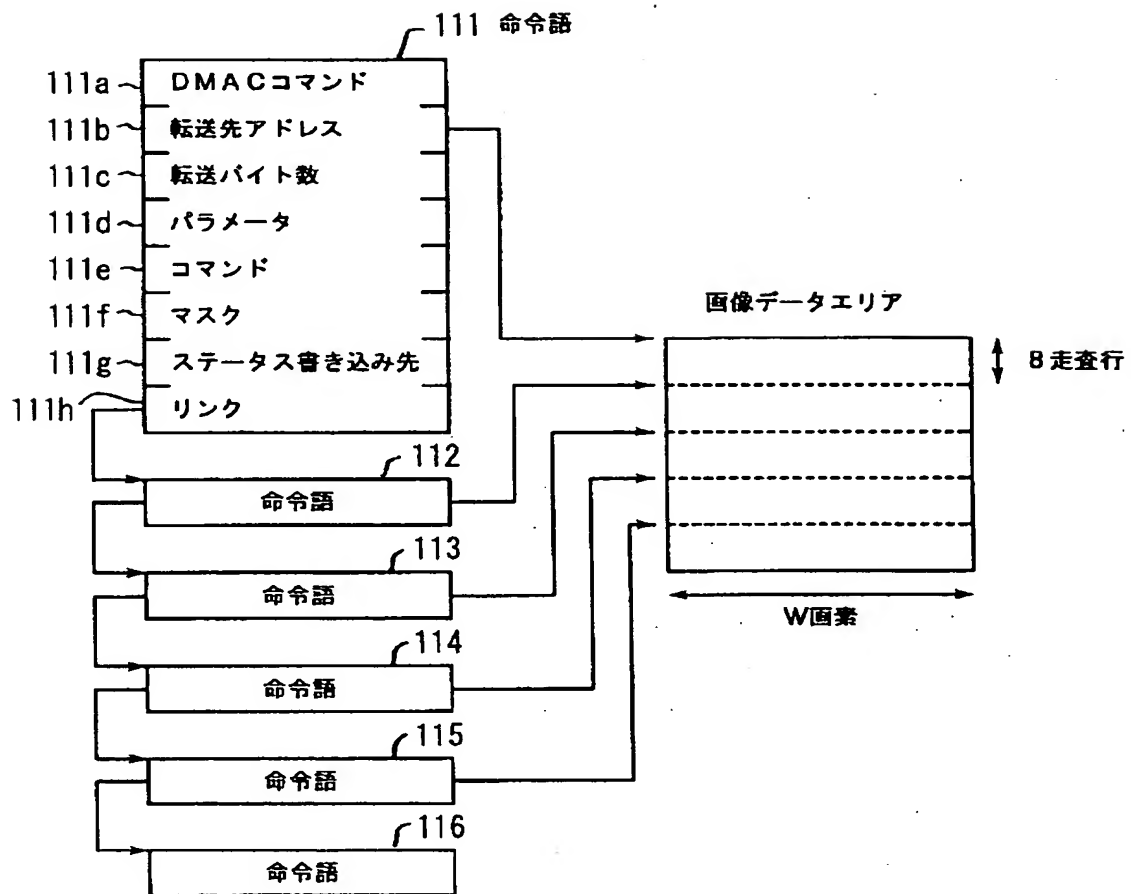
【図17】



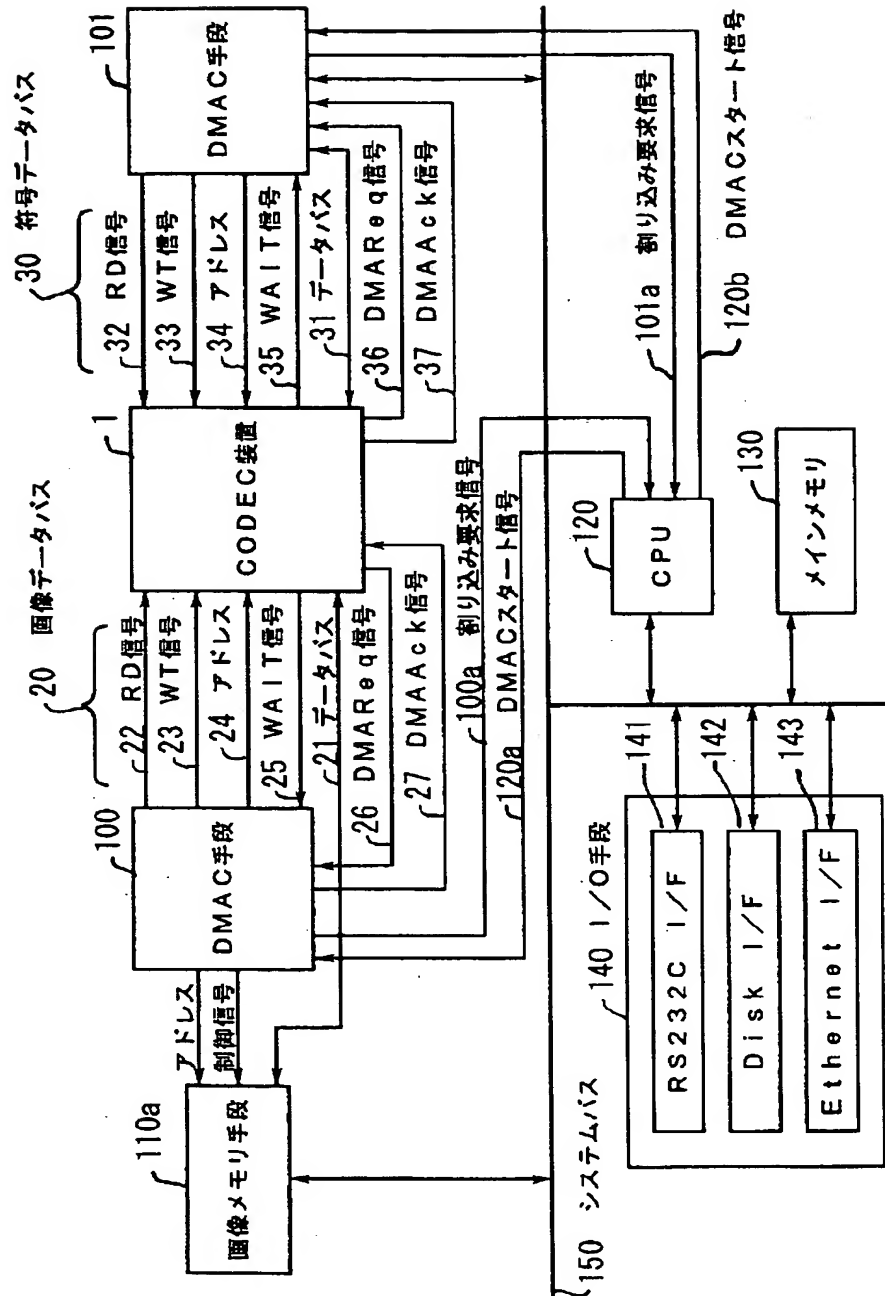
【図13】



【図14】



【図15】



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the CODEC equipment which performs the information compression of digital data, and elongation A coding means to encode said digital data and to compress into code data, A decryption means to decrypt said code data and to elongate to decode data, and digital one / decode data I/O means which controls the input of said digital data, or the output of said decode data, A code data I/O means to perform control of the input of said code data, or an output, An internal register means to perform control of said coding means or said decryption means through the internal bus which connects said digital one / decode data I/O means, and said code data I/O means, A coding side internal register access means to access from said digital one / decode data I/O means to said internal register means, A decryption side internal register access means to access from said code data I/O means to said internal register means, It is CODEC equipment characterized by having a mediation means to arbitrate when said coding side internal register access means and said decryption side internal register access means compete at the time of the access activation to said internal register means.

[Claim 2] Said CODEC equipment is CODEC equipment according to claim 1 characterized by being mounted on a single integrated circuit.

[Claim 3] In the CODEC system which performs the information compression of digital data, and elongation A coding processing means to encode said digital data, to compress into code data, and to perform radial transfer, A decryption processing means to decrypt said code data, to elongate to decode data, and to perform radial transfer, The internal register control means which performs control of said coding processing means or said decryption processing means, In case data transfer is performed by the digital data memory which stores said digital data, and said coding processing means or said decryption processing means and said digital data memory The CODEC system characterized by having a direct-memory-access-control means to perform control with said digital data memory and said internal register control means.

[Claim 4] said 2nd direct-memory-access-control means which controls said 1st direct-memory-access-control means which controls an image memory means by which

said direct memory access control means is said digital memory, and said internal register control means, and the main memory which is said digital memory and said internal register control means -- since -- the CODEC system according to claim 3 characterized by being constituted.

[Claim 5] Said CODEC system is a CODEC system according to claim 3 characterized by being mounted on a single integrated circuit.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to the CODEC equipment and the CODEC system which perform the information compression of digital data, and elongation in CODEC equipment and a CODEC system.

[0002]

[Description of the Prior Art] Especially image data has the huge amount of data as digital data. For example, if the color picture of A4 paper size is expressed by 3300x4650 pixels and red, blue, and three green colors express each pixel by 8 bits per color, it will become the amount of data of about 46 MByte(s). Many locations will be occupied if storage means, such as semiconductor memory and a magnetic disk, are made to memorize a vast quantity of such data. Moreover, when image data is transmitted to another equipment from a certain equipment, there is a trouble that transmission takes time amount.

[0003] Then, encoding an image using an algorithm whose amount of data generally removes the redundancy which image data has and decreases is performed. And image data is reproduced by memorizing, transmitting and decrypting the encoded code data. In order to realize such coding and a decryption, coding equipment and decryption equipment (below, coding equipment and decryption equipment will be collectively called CODEC equipment) are used.

[0004] On the other hand, image data has more amount of data than code data. For this reason, CODEC equipment is preparing the input/output port which became independent to image data and code data, in order to transmit image data efficiently. That is, image data is connected to the port for image data of CODEC equipment through an image data bus. Moreover, code data is connected to the port for code data of CODEC equipment through a sign data bus. Thus, by preparing independent input/output port, image data and code data do not interfere and coding or decryption processing of a high throughput is attained.

[0005] Furthermore, it is necessary to give some parameters to CODEC equipment in the case of coding of image data, or a decryption. A parameter has distinction of the

width of face of image data, height, a color picture, or a monochrome gray-scale image, distinction of coding / decryption algorithm, etc. These parameters are held at the internal register in CODEC equipment. Moreover, CODEC equipment generates the statuses, such as existence of error generating, and a count of the amount of data, as a result of coding or a decryption. This status is also held at the internal register in CODEC equipment.

[0006] And CPU is performing writing of a parameter, and read-out of the status, and performs coding or decryption processing of image data. For this reason, a means to access an internal register from CPU is needed.

[0007] Drawing 16 is drawing showing the connection configuration of the internal register of conventional CODEC equipment, and memory. It connects by image memory 110a and image data bus 20a, and CODEC equipment 1a is connected by coding memory 130a and sign data bus 30a. Moreover, internal register 7a in CODEC equipment 1a is connected by CPU120a and bus 10a for internal register access.

[0008] It is the data sheet full color picture compression expanding LSI of for example, Kawasaki Steel Corp. as a thing with such a configuration. There is KL five A71003. Outputting and inputting sign data bus 30a from a host data bus, about bus 10a for internal register access, it outputs by this LSI and inputs through MP bus for control, outputting and inputting image data bus 20a from an image data bus.

[0009] Moreover, as another example, there is MD36059X of Fuji film micro device incorporated company. This LSI outputs and inputs image data bus 20a through a pixel-data I/F bus, sign data bus 30a is outputted and inputted through a code data I/F bus, and access to bus 10a for internal register access is performed through a host I/F bus.

[0010] Thus, the configuration in which an image data bus, a sign data bus, and three buses called the access path for internal registers are connected to CODEC equipment is taken. Moreover, generally in the CODEC system which realized improvement in the speed of coding/decryption processing using above CODEC equipment, Direct Memory Access (hereafter referred to as DMA.) is used for an image data transfer. Drawing 17 is the conventional example of the CODEC system in the case of using DMA for an image data transfer.

[0011] In this case, internal register 7a is accessed through CPU120a to bus 10a for internal register access at the time of coding. And by the coding demand of internal register 7a, direct-memory-access-control means (it is hereafter called DMAC means.) 100a generates address 24a to compensate for a format of image data, and sends it to image memory 110a. Moreover, image memory 110a reads image data 21a applicable to address 24a which received, and sends it to CODEC equipment 1a. And it encodes by CODEC equipment 1a, and image data 21a is outputted as code data 31a.

[0012] Moreover, although not shown by a diagram, when it is a decryption, similarly, a DMAC means generates the address to compensate for a format of code data, and sends

it to sign memory. From the corresponding address, sign memory reads code data and sends it to CODEC equipment through a sign data bus. And code data is decrypted with CODEC equipment and outputted as image data.

[0013] On the other hand, DMAC means 100a is programmed by CPU120a. And one transfer of image data 21a by DMAC means 100a is a transfer of a part of image data 21a. Therefore, after a DMA transfer, CPU120a accesses internal register 7 of CODEC equipment 1a, initializes CODEC equipment 1a and DMAC means 100a (they are specifically inspection of a status register, resetting of a parameter, and the recurrence line of a command), and performs a DMA transfer again. It notifies CPU120a by applying interruption to CPU120a from DMAC means 100a at the time of DMA transfer completion. A transfer of the whole image data is attained by repeating this actuation.

[0014]

[Problem(s) to be Solved by the Invention] However, as the 3rd port for access to an internal register, besides the 8 bits - 32 bits data bus, it read and the bus for internal register access was formed as control signals, such as writing and WAIT, with the conventional CODEC equipment explained by drawing 16. For this reason, a signal number increases, and when CODEC equipment is mounted using an integrated circuit, the number of I/O pins will increase. Consequently, it was forced the increment in a chip size, or adoption of a package with many pins, and had become the cause of a cost rise.

[0015] Moreover, in the conventional CODEC system explained by drawing 17, CPU conducted setup of a DMAC means, setup of CODEC equipment, and inspection, at the time of DMA transfer completion, CPU was interrupted and the notice was performed. Since the DMA transfer of image data was performed by repeating such actuation, pretreatment and after treatment of CPU accompanying a DMA transfer needed to be repeated. Therefore, the degradation of an image data transfer became a cause and was reducing the engine performance of coding/decryption processing of image data.

[0016] This invention is made in view of such a point, and it aims at offering the CODEC equipment which can reduce the number of I/O pins. Moreover, other purposes of this invention are to offer the CODEC equipment which can reduce the number of pads of an integrated circuit, and the number of pins of the package for integrated circuits.

[0017] Furthermore, other purposes of this invention are to offer the CODEC system which raises the processing engine performance of coding and a decryption. Moreover, other purposes of this invention are to offer the CODEC system which can reduce the number of pads of an integrated circuit, and the number of pins of the package for integrated circuits.

[0018]

[Means for Solving the Problem] In the CODEC equipment which performs the information compression of digital data, and elongation in order to solve the above-mentioned technical problem in this invention A coding means to encode said

digital data and to compress into code data, A decryption means to decrypt said code data and to elongate to decode data, and digital one / decode data I/O means which controls the input of said digital data, or the output of said decode data, A code data I/O means to perform control of the input of said code data, or an output, An internal register means to perform control of said coding means or said decryption means through the internal bus which connects said digital one / decode data I/O means, and said code data I/O means, A coding side internal register access means to access from said digital one / decode data I/O means to said internal register means, A decryption side internal register access means to access from said code data I/O means to said internal register means, When said coding side internal register access means and said decryption side internal register access means compete at the time of the access activation to said internal register means, the CODEC equipment characterized by having a mediation means to arbitrate is offered.

[0019] Here, a coding means encodes digital data and compresses it into code data. A decryption means decrypts code data and elongates it to decode data. Digital one / decode data I/O means controls the input of digital data, and the output of decode data. A code data I/O means performs control of the input of code data, and an output. An internal register means performs control of a coding means or a decryption means through an internal bus. A coding side internal register access means is accessed from digital one / decode data I/O means to an internal register means. A decryption side internal register access means is accessed from a code data I/O means to an internal register means. A mediation means arbitrates, when access to an internal register means competes.

[0020] Moreover, it sets to the CODEC system which performs the information compression of digital data, and elongation. A coding processing means to encode said digital data, to compress into code data, and to perform radial transfer, A decryption processing means to decrypt said code data, to elongate to decode data, and to perform radial transfer, The internal register control means which performs control of said coding processing means or said decryption processing means, In case data transfer is performed by the digital data memory which stores said digital data, and said coding processing means or said decryption processing means and said digital data memory The CODEC system characterized by having a direct-memory-access-control means to perform control with said digital data memory and said internal register control means is offered.

[0021] Here, a coding processing means encodes digital data, compresses it into code data, and performs radial transfer. Code data is decrypted, it elongates to decode data, and a decryption processing means performs radial transfer. An internal register control means performs control of a coding processing means or said decryption processing means. Digital data memory stores digital data. A direct-memory-access-control means performs control with digital data memory and an

internal register control means.

[0022]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained based on a drawing. Drawing 1 is the principle Fig. of the principal part of CODEC equipment. A coding means 4 by which CODEC equipment encodes, and the decryption means 5 to decrypt, Digital one / decode data I/O means 200 which controls the input of digital data, the output of decode data, the input of the address, and I/O of control data, The code data I/O means 300 which controls I/O of code data, the input of the address, and I/O of control data, An internal register means 7 to perform control with the coding means 4 and the decryption means 5 through an internal bus 10, A coding side internal register access means 8 to access from a coding side to the internal register means 7, a mediation means 6 to arbitrate when it competes at the time of the access activation to a decryption side internal register access means 9 to access from a decryption side to the internal register means 7, and the internal register means 7 -- since -- it is constituted.

[0023] Next, the CODEC equipment of this invention is explained about the gestalt of the concrete operation at the time of applying it, when image data is encoded / decrypted. Drawing 2 is the block diagram of CODEC equipment. First, the connection by the side of an image data bus is explained.

[0024] Image data is connected to the image data I/O means 210 through the 16-bit data bus 21. In order to read data from CODEC equipment 1 to up to a data bus 21, the RD signal 22 is used. In order to write the data on a data bus 21 in CODEC equipment 1, the WT signal 23 is used.

[0025] Moreover, the 2-bit address 24 specifies the CODEC equipment 1 interior's of data of data bus 21 read-out origin, or a writing place. When CODEC equipment 1 reads the WAIT signal 25 or writing does not respond immediately, what should be WAIT(ed) to the bus master by the side of the image data bus 20 (not shown in drawing 2) is notified.

[0026] It is shown that the DMAReq signal 26 is in the condition that the image data I/O means 210 can input the image data which should be encoded at the time of coding, and it is shown at the time of a decryption that it is in the condition that the decrypted image data can be outputted. It is shown that the DMAC means (not shown in drawing 2) has accessed the DMAAck signal 27 to the image data I/O means 210 as a DMA transfer of image data.

[0027] Furthermore, the image data I/O means 210 is written in, supplies the data inputted from the data bus 21 to an internal bus 10 and the coding means 4, and, sometimes, outputs the value on an internal bus 10, and the output of the decryption means 5 in a data bus 21 at the time of read-out.

[0028] Next, the connection by the side of a sign data bus is explained. In order to read data from CODEC equipment 1 to up to a data bus 31, the RD signal 32 is used. In order

to write the data on a data bus 31 in CODEC equipment 1, the WT signal 33 is used.

[0029] Moreover, the 2-bit address 34 specifies the CODEC equipment 1 interior's of data of data bus 31 read-out origin, or a writing place. The WAIT signal 35 notifies what should be WAIT(ed) to the bus master by the side of the sign data bus 30 (not shown in drawing 2), when CODEC equipment 1 reads or writing does not respond immediately. The DMAReq signal 36 shows that it is in the condition that the code data I/O means 300 can output code data at the time of coding, and it is shown that it is in the condition that code data can be inputted at the time of a decryption. It is shown that the DMAC means has accessed the DMAAck signal 37 to the code data I/O means 300 as a DMA transfer.

[0030] Furthermore, at the time of writing, the code data I/O means 300 supplies the data inputted from the data bus 31 to an internal bus 10 and the decryption means 5, and outputs the value on an internal bus 10, and the output of the coding means 4 to a data bus 31 at the time of read-out.

[0031] Moreover, to CODEC equipment 1, CLK1a is supplied from the outside, and operates to it synchronizing with this. Furthermore, reset-signal Reset1b is also supplied from the exterior. Next, each configuration means is explained. The coding means 4 is Baseline proposed in JPEG (Joint Photographic Experts Group) as an international-standards-sized method of color still picture coding. The image data according to the coding method of System (basic method) is encoded. If the coding means 4 is in the condition that image data can be inputted, it will notify that to the image data I/O means 210, and if code data is in the condition in which an output is possible, it will notify that to the code data I/O means 300.

[0032] The decryption means 5 is JPEG. Baseline The image sign according to System is decrypted. If the decryption means 5 is in the condition in which the output of the image data which notified that to the code data I/O means 300, and was decrypted is possible if it is in the condition that code data can be inputted, it will notify that to the image data I/O means 210.

[0033] Next, a mediation means is explained. The mediation means 6 consists of state machines with three conditions. And the image data I/O means 210 and the code data I/O means 300 give the demand signals 6a and 6b to the mediation means 6, respectively.

[0034] On the other hand, from the mediation means 6, enabling signals 6c and 6d are given, respectively to the image data I/O means 210 and the code data I/O means 300. The condition of a state machine changes with this demand signal and enabling signal. Drawing 3 is drawing showing the state transition of a mediation means.

[Step1] The state machine of the mediation means 6 operates synchronizing with CLK1a, and when it resets by Reset1b, it will be in S0 condition.

[Step2] If demand signal 6a from the image data I/O means 210 becomes one, the condition of a state machine will change to S1.

[Step3] After maintaining S1 between one clock cycles condition, the condition of a state machine returns to S0.

[Step4] As for a state machine, demand signal 6b from 0 and the code data I/O means 300 will change in the S2 condition, if demand signal 6a from the image data I/O means 210 becomes one.

[Step5] After maintaining S2 between one clock cycles condition, the condition of a state machine returns to S0.

[Step6] If the demand signals 6a and 6b of the image data I/O means 210 and the code data I/O means 300 all become zero in the case of S0 condition, a state machine will maintain S0 condition.

[0035] Moreover, as for two enabling signals 6c and 6d, a value is decided by the condition of a state machine. For example, as for enabling-signal 6c given to the image data I/O means 210, it is set to 1 in S1 condition, and is set to 0 in other conditions. Moreover, it is set to 1 in S2 condition, and 6d of enabling signals given to the code data I/O means 300 is set to 0 in other conditions.

[0036] Next, an internal register means is explained. Drawing 4 is drawing showing the configuration of an internal register. The internal register means 7 consists of an internal register 70 and register drives 74 and 75. moreover, the internal register 70 -- a command register 71, the parameter register 72, and a status register 73 -- since -- it is constituted. A command register 71, the parameter register 72, and a status register 73 are connected to an internal bus 10 by each.

[0037] Moreover, three internal registers 71, 72, and 73 are driven as resemble the register drive 74 which consists of the 2 input OR gates 74a-74c, respectively, and the register drive 75 which consists of the 2 input OR gates 75a-75c. Input signals, such as OE two A1 and LD two A1, are explained later.

[0038] A command register 71 can direct actuation/halt of the coding means 4, and actuation/halt of the decryption means 5 by a predetermined value being written in. The parameter register 72 is JPEG. Baseline It consists of table set up means 72c which sets up the parameter of scaling factor assignment means 72a which specifies the scaling factor value for making the multiplier of the quantization table used in the case of quantization / reverse quantization of System fluctuate, number storing means of pixels 72b which stores the number of pixels which should be processed, and a quantization table and the table used in the case of Huffman coding.

[0039] Scaling factor assignment means 72a is 3 bits, doubles 2 Ns of values of the criterion of a quantization table (value to which N interpreted 3 bits of scaling factor specification part 72a as the two's complement display), and uses them for processing of quantization (at the time of coding), and reverse quantization (at the time of decode). Furthermore, number storing means of pixels 72b stores the number of pixels which should be processed.

[0040] Table set up means 72c is with the quantization table for the brightness

components (Y component of a YCrCb color space) of a color picture and Huffman coding table which are contained inside the coding means 4 and the decryption means 5, the quantization table for color difference components (Cr component or Cb component of a YCrCb color space), and a Huffman coding table, and specifies which is used.

[0041] A status register 73 has the flag which shows the existence of the flag which shows processing termination of the coding means 4 or the decryption means 5, and the error detected with the coding means 4 or the decryption means 5, and the detail of an error.

[0042] Next, the internal configuration of each register is explained. However, since the internal configuration of a parameter register is the same as the internal configuration of a command register, explanation is omitted. Drawing 5 is drawing showing the 1-bit circuit diagram of the arbitration of a command register. A command register 71 consists of selector means 71a, DFF (D type flip-flop) means 71b, and tri-state buffer means 71c.

[0043] The output of selector means 71a of 2 inputs is connected to D input of DFF means 71b. It connects with one input of selector means 71a, and the input of tri-state buffer means 71c, and Q output of DFF means 71b is further used also inside CODEC equipment 1. While will selector means 71a Accept it, and an input is connected to an internal bus 10.

[0044] It is used as input selection of selector means 71a, and at the time of LD=1, at the time of LD=0, Q output value of DFF means 71b serves as an output of selector means 71a, and, as for LD, the value of an internal bus 10 is supplied to D input of DFF means 71b. Therefore, the value of an internal bus 10 can be written in DFF means 71b by being referred to as LD=1 in the case of the rising edge of CLK1a of DFF means 71b.

[0045] OE is connected to the output enable input of tri-state buffer means 71c. Therefore, if OE=1, the value latched to DFF means 71b can be outputted to an internal bus 10. If it becomes OE=0, tri-state buffer means 71c will be set to OFF (high impedance condition), and will not affect an internal bus 10. Reset1b is connected to the reset input of DFF means 71b. Thereby, a command register is reset at the time of reset.

[0046] Next, the internal configuration of a status register is explained. Drawing 6 is drawing showing the 1-bit circuit diagram of the arbitration of a status register. It consists of two selector means 73a and 73b, DFF means 73c, 73d of tri-state buffer means, and OR-gate 73e. It turns out that selector means 73a and OR-gate 73e are added in drawing 6 as compared with drawing 5. Since the status information generated with CODEC equipment 1 is loaded to a register, these are installed.

[0047] Since it is LD=0 when the data of an internal bus 10 are not loaded to a status register 73, from one input of selector means 73a, status information appears in the output of selector means 73a, and is supplied to the input of selector means 73b.

[0048] When the status is loaded, a status load signal becomes 1 in the CODEC equipment 1 interior, and thereby, the output of OR-gate 73e is also set to 1. The output

of OR-gate 73e is connected to input selection of selector means 73b. And the output of selector means 73a, i.e., the status information of the CODEC equipment 1 interior, appears in D input of DFF means 73c by this being set to 1. Therefore, a status load signal can be set to 1 at the time of the rising edge of clocked into CLK1a of DFF means 73c, and the status information of the CODEC equipment 1 interior can be loaded to a status register 73 by supplying status information.

[0049] Next, access to an internal register means from image data is explained. Access to an internal register means is performed by a coding side / decryption side internal register access means 8 and 9. Here, since the configuration of the coding side internal register access means 8 and the decryption side internal register access means 9 is the same, only the coding side internal register access means 8 is explained.

[0050] Drawing 7 is the block diagram showing a part of coding side internal register access means. From the coding side internal register access means 8, LD signal (LD two A1, LD2A2, LD2 A3) and OE signal (OE two A1, OE2A2, OE2 A3) for three internal register means 7 are generated. These six signals are made in six 4 input AND gates 212a-212f. Moreover, a 4 input AND gates [212a-212f] input consists of the register select signals A1 and A2, A3, the WT signal 23, enabling-signal 6c, not of the DMAAck signal 27, and an RD signal 22.

[0051] Moreover, the address 24 is given to an address decoder 211 and the register select signals A1 and A2, and A3 and a control signal A123 are generated. Drawing 8 is the table of truth value showing the input / output relation of an address decoder. Truth-table 8a consists of the address, register assignment, and A3 and a control signal A123. [the register select signals A1 and A2, and] An address decoder 211 creates a decoding signal to the inputted address. For example, when the address is 2, the register select signals A1 and A2 and a decoding signal with which 0, 1, 0, and a control signal A123 are set to 1 by A3, respectively are assigned to a parameter register.

[0052] The logical organization section of the AND gate is shown in drawing 9 . The table of logical organization section 8b shows AND gates [212a-212f] logic and a connection place. It is shown as logic and a connection place that LD two A2 is the AND of A1, WT (WT signal 23), enabling-signal 6c from a mediation means, and not of the DMAAck signal 27. And the output destination change of AND-gate 212a is inputted into one side of OR-gate 75b.

[0053] Moreover, in drawing 7 , an internal bus 10 is connected to a data bus 21 through two tri-state buffers 213 and 214. The tri-state buffer 213 is the tri-state buffer which considers a data bus 21 as an input and considers an internal bus 10 as an output, drives an internal bus 10 at the time of $\text{=(enabling-signal 6c from A123*WT signal 23* mediation circuit) 1}$, and does not drive it at the time of 0.

[0054] Moreover, the tri-state buffer 214 is a tri-state buffer which considers an internal bus 10 as an input and considers a data bus 21 as an output, it drives a data bus 21 at the time of $\text{=(enabling-signal 6c from A123*RD signal 22* mediation circuit) 1}$, and does

not drive it at the time of $\text{enabling-signal } 6c \text{ from } A123 \cdot \text{RD signal } 22 \cdot \text{mediation circuit}$ 0, namely, serves as a high impedance.

[0055] Next, the actuation when writing in an internal register means from an image data bus is explained. Drawing 10 is drawing showing the timing of operation when writing in an internal register means from an image data bus. Here, it shall write in a command register 71 and there shall not be read-out from the sign data bus 30 or write-in actuation further.

[0056] The bus master of the image data bus 20 is written in a data bus 21, outputs data, and outputs the RD signal $22=0$, the WT signal $23=1$, and the address $24=01$ (binary number). Since six is in $\text{inSmediation means } 0$ condition at this time, enabling-signal 6c to the image data I/O means 210 is set to 0, and the WAIT signal 25 is set to 1.

[0057] Therefore, a bus master outputs the value as a data bus 21, the RD signal 22, the WT signal 23, and the address 24 also with the same following cycle. Moreover, for $\text{LD}2A1=0$ and $\text{LD}3A1=0$, LD signal to a command register 71 is also set to 0, and the writing to a register is not generated yet. The tri-state buffer 213 is also still OFF.

[0058] Since six will be in $\text{inSmediation means } 1$ condition in the following cycle, enabling-signal 6c to the image data I/O means 210 is set to 1. Thereby, the tri-state buffer 213 drives an internal bus 10 to the value of a data bus 21.

[0059] Moreover, it is set to $\text{LD}2A1=1$ and an OR-gate 75a output is set to 1, LD of a command register is set to 1 and the value of an internal bus 10, i.e., the write-in value to a command register, is written in a command register 71 at the time of the standup of CLK1a of the last of a cycle. Furthermore it is set to WAIT signal $=0$, and a bus master escapes from the WAIT status. Although read-out from a command register 71 is performed similarly, OE two A1 is set to 1 instead of LD two A1, and the tri-state buffer 214 will be in a drive condition instead of the tri-state buffer 213.

[0060] Next, actuation when access of an image data bus and a sign data bus competes is explained. Drawing 11 is drawing showing timing of operation when access competes. Since the WAIT signal 25 outputs 1 when access is tried for the internal register means 7 from the image data bus 20, there is already access from the sign data bus 30 and the condition of the mediation means 6 is in S2, the bus master by the side of the image data bus 20 WAIT(s).

[0061] And in the following cycle, six will be in $\text{inSmediation means } 0$ condition, and six will be in $\text{inSmediation means } 1$ condition in the following cycle. Therefore, access to the internal register means 7 by the side of the image data bus 20 is performed, and WAIT of a bus master is canceled by becoming the WAIT signal $25=0$ further.

[0062] When the bus master of the image data bus 20 and the bus master of the sign data bus 30 try access to the internal register means 7 to coincidence, the condition of the mediation means 6 shifts to S1 from S0, and the image data bus 20 side is allowed access, and the WAIT signal $25=0$ is outputted. And if it will be in S0 condition in the following cycle and the further access request of the image data bus 20 cannot be found

here, it will be in S2 condition in the following cycle, and access of the sign data bus 30 will be performed. Thus, since it is forbidden that access to the internal register means 7 occurs in coincidence from two buses with the mediation means 6, data do not collide on an internal bus 10.

[0063] On the other hand, when accessing the internal register means 7 from the sign data bus 30 side, it carries out completely the same with having explained above using the code data I/O means 300. however, a signal LD two A1, LD2A2, LD2 A3, and OE2 -- the signal LD three A1 same instead of A1, OE two A2, and OE2 A3, LD3A2, LD3 A3 and OE three A1, OE3A2, and OE3 A3 -- generating -- these connection places -- respectively -- the OR gates 74a-74c -- while will 75a-75c accept it and it becomes an input.

[0064] As explained above, the CODEC equipment of this invention was considered as the configuration which abolished the I/O means of dedication for access to an internal register means. It is possible for this to reduce the number of pads of an integrated circuit and the number of pins of the package for integrated circuits which mount CODEC equipment. Therefore, the cost of an integrated circuit can be lowered and it can store in the package of fewer pins.

[0065] Next, the CODEC system of this invention is explained. Drawing 12 is the principle Fig. of a CODEC system. a DMAC means 100 perform control with a coding processing means 400 a CODEC system encodes digital data and perform radial transfer, a decryption processing means 500 decrypt code data and perform radial transfer, the internal register control means 700 that performs control of the coding processing means 400 or the decryption processing means 500, the digital data memory 110 which stores digital data, the digital data memory 110, and the internal register control means 700 -- since -- it is constituted.

[0066] Here, the coding processing means 400, the decryption processing means 500, and the internal register control means 700 of a CODEC system of this invention generalize the internal configuration of the CODEC equipment explained above. Therefore, the gestalt of the following operations explains the CODEC system at the time of building a system using CODEC equipment 1.

[0067] Next, the CODEC system of this invention is explained about the gestalt of the 1st operation at the time of applying it, when image data is encoded / decrypted. Drawing 13 is the block diagram of a CODEC system. a CODEC system -- CODEC equipment 1, the DMAC means 100, an image memory means, and 110 -- a, CPU120, main memory 130, and the I/O means 140 -- since -- it is constituted. CPU120, main memory 130, and the I/O means 140 are connected to a system bus 150. Moreover, the I/O means 140 is RS232C. I/F141 and Disk I/F142 and Ethernet It consists of I/F143.

[0068] Here, it is RS232C. There is I/F141 for connection with a console, and an operator operates this system using a console. Disk It connects with Disk equipment, and I/F142 is used in order to record code data. Ethernet It connects with Ethernet, and I/F143 is

used in order to receive or transmit image data or code data. Moreover, a system bus 150 consists of an address bus, a data bus, and a control bus.

[0069] Next, connection of each configuration means is explained. Image memory means 110a is 2 port memory, the 1st port is connected to the image data bus 20, and the 2nd port is connected to a system bus 150. Using the 2nd port, the contents of image memory means 110a can be read, it can write in, or CPU120 can be carried out. The DMAC means 100 is connected to the image data bus 20.

[0070] The image data I/O means 210 side of CODEC equipment 1 is connected to the image data bus 20. This is connected to a system bus 150 although the code data I/O means 300 side of CODEC equipment 1 is a sign data bus. The DMAC means 100 performs the image data transfer of CODEC equipment 1, and a transfer of code data is performed by the instruction of CPU120. Although the transfer rate by the instruction of CPU120 is far low as compared with the transfer rate of the DMAC means 100, since the amount of data becomes small enough by image data coding of JPEG, the transfer by the instruction of CPU120 is also enough for the application of an example.

[0071] Direct continuation of the DMAAck signal 27 is carried out to the DMAC means 100 at the RD signal 22, the WT signal 23, the WAIT signal 25, the DMAReq signal 26, and it. A data bus 21 and an address bus 24 are connected to the data bus section and the address bus section of the image data bus 20. DMA start signal 120a is sent to the DMAC means 100 from CPU120, and interrupt request signal 100a is sent to CPU120 from the DMAC means 100.

[0072] Moreover, the DMAC means 100 generates the address for accessing image memory means 110a, and sends it to image memory means 110a through the image data bus 20. Moreover, the DMAC means 100 generates the address (2 bits) of the internal register of CODEC equipment 1, and sends it to CODEC equipment 1 through the image data bus 20.

[0073] Moreover, the image data read from image memory means 110a by the DMAC means 100 is sent to CODEC equipment 1 through the data bus 21 of the image data bus 20. The image data outputted from CODEC equipment 1 is sent and written in image memory means 110a through a data bus 21 under control of the DMAC means 100. The DMAC means 100 reads the instruction word to the DMAC means 100 from image memory means 110a, operates according to it, and can write the status of the DMAC means 100 now in image memory means 110a further.

[0074] Next, supply of the code data of CODEC equipment 1 is explained. The DMAReq signal 36 by the side of the sign data bus of CODEC equipment 1 is used as an interrupt request signal over CPU120. If the DMAC means 100 directs the start of the decryption means 5 to the command register 71 of CODEC equipment 1, the decryption means 5 will begin to move, code data is required of the code data I/O means 300, and the code data I/O means 300 is made into the DMAReq signal 36= 1. This is notified to CPU120 as an interrupt request, and CPU120 causes interruption. And CPU120 reads code data

from main memory 130 in an interrupt handler, and CPU120 writes code data in CODEC equipment 1 through a system bus 150.

[0075] This becomes the DMAReq signal 36= 0, and the interrupt request to CPU120 is withdrawn. After that, the return of CPU120 is carried out from an interrupt handler, and it continues processing at the time of interrupting. Within an interruption routine, processing of CPU120 about supply of code data loads code data from main memory 130, and stores in CODEC equipment 1, it becomes very simple and short processing in which a return is carried out from an interruption routine, and a burden does not become for CPU120.

[0076] Drawing 14 is drawing showing the instruction word for DMAC in an image memory, and relation with an image data area. CPU120 first writes in the set of the instruction word from the predetermined address in image memory means 110a (0th street) to the DMAC means 100. Then, the DMAC means 100 reads instruction word 111, and performs DMA transfer processing between image memory means 110a and CODEC equipment 1. And if it finishes, the following instruction word 112 will be read using link 111h which shows the address containing the instruction word which should be performed next, and DMA transfer processing is performed.

[0077] There is DMAC command 111a in the beginning of instruction word. This specifies actuation of the DMAC means 100 and a data transfer (to CODEC equipment [from image memory means 110a] 1 or image memory means 110 from CODEC equipment 1 a) and DMAC actuation halt, the subroutine call, and the return are defined. When DMAC command 111a is "data transfer", byte-count 111c to which the 2nd word should transmit destination address 111b in an image memory and the 3rd word, and the 4th word are parameter 111d which is the value which should be written in the parameter register 72 of CODEC equipment 1.

[0078] Furthermore, the 5th word is command 111e which is the value which should be written in the command register 71 of CODEC equipment 1. The status writing place of 111g and the 8th word which are the address of image memory means 110a with which 111f and the 7th word which show the value which carried out the mask of the 6th word should write in the status of the DMAC means 100 are link 111h.

[0079] In the case of JPEG, a 8x8-pixel block is treated as one unit, and this block is scanned in a longitudinal direction and it encodes. Then, it is convenient if you make the unit of 1 time of DMA into block 1 8x8-pixel train, i.e., the 8 scanning lines. Then, when decrypting the image which consists of W pixels per 1 scanning line, and the 40 scanning line, one instruction word for a DMAC halt is beforehand written in five instruction word for data transfer, and the last into image memory means 110a by CPU120. CPU120 sets start signal 120a to the DMAC means 100 to 1, and directs a start for the DMAC means 100. The DMAC means 100 reads the first instruction word 111 from the 0th street of image memory means 110a.

[0080] First, DMAC command 111a is read. Since DMAC command 111a is the data

transfer from CODEC equipment 1, destination address 111b and transfer byte-count 111c are read, and it sets to the register of the DMAC means 100 interior.

[0081] Next, the value which should be written in the parameter register 72 of CODEC equipment 1 is read, the value is outputted to a data bus 21, 0 and the WT signal 23 are set to 1, an address signal 24 is set to 10 (binary number) for the RD signal 22, and parameter 111d is written in the parameter register 72 of CODEC equipment 1.

[0082] Next, command 111e is read and it writes in the command register 71 of CODEC equipment 1 like the 4th word. The value set to value, i.e., command, 111e written in here is a command which starts the decode means 5 of CODEC equipment 1.

[0083] CODEC equipment 1 begins decode by this, and the DMAC means 100 waits to set the DMAReq signal 26 to 1. If the DMAReq signal 26 is set to 1, the DMAC means 100 will take out the writing place address of image memory means 110a to the address bus of an image data bus, and will output the RD signal 22= 1, the WT signal 23= 0, and the DMAAck signal 27= 1 to CODEC equipment 1. And the decoded image data is made to output to a data bus 21 from CODEC equipment 1, and it sends to image memory means 110a. Moreover, the DMAC means 100 supervises the WAIT signal 25 of CODEC equipment 1, and when this is 0, it makes it write in image memory means 110a, the data, i.e., the decoded image data, on a data bus 21.

[0084] This data transfer is repeated until it attains transfer byte-count 111c of instruction word. If it finishes repeating, the DMAC means 100 will read a mask 111f value first, and it is **. Subsequently, to CODEC equipment 1, the RD signal 22= 1, the WT signal 23= 0, and the address 24= 11 (binary number) are outputted, and the status register 73 of the CODEC means 1 is read. If it is shown that took AND of the value read here and a mask value, consequently decode was completed errorless and that is not normal and right, it will consider as abnormalities.

[0085] The DMAC means 100 reads link 111h, and writes the information related normally/unusually in the address. Next, a DMAC means reads link 111h of instruction word, reads the 2nd instruction word 112 using link 111h, and performs same processing. If processing of instruction word 112-115 is finished, the DMAC means 100 will read instruction word 116. Since the DMAC command after this instruction (not shown) is "a DMAC halt", the DMAC means 100 sets an interruption request signal to 1, applies interruption to CPU120, notifies that actuation of DMAC finished and suspends actuation.

[0086] Next, the gestalt of operation of the 2nd of a CODEC system is explained. Drawing 15 is the block diagram of the CODEC system in which the gestalt of the 2nd operation is shown. With the gestalt of the 1st operation, although data transfer on an image data bus was performed by DMA, in the gestalt of the 2nd operation, it has an another DMAC means 101 to manage the data transfer by the side of the sign data bus 30 other than a DMAC means 100 to manage the data transfer by the side of the image data bus 20. Here, since actuation of DMA by the side of an image data bus is

completely the same as the gestalt of the 1st operation explained, it omits explanation, and it explains DMA by the side of a sign data bus.

[0087] The DMAC means 101 carries out generation supply of the RD signal 32, the WT signal 33, and the address 34 by the side of the sign data bus of CODEC equipment 1. The data bus 31 of the sign data bus 30 of CODEC equipment 1 is connected with the DMAC means 101. The DMAC means 101 inputs the WAIT signal 35 of CODEC equipment 1. Furthermore, the DMAReq signal 36 which is a request signal of DMA is connected to the DMAC means 101 from CODEC equipment 1, and the DMAAck signal 37 which is a DMA enabling signal is connected to CODEC equipment 1 from the DMAC means 101.

[0088] Furthermore, the DMAC means 101 is connected also with the system bus 150. It also becomes possible for this to become possible [accessing the internal register of the DMAC means 101] from CPU120, and for the DMAC means 101 to access main memory 130 through a system bus 150. DMAC start signal 120b for starting DMA is connected to the DMAC means 101 from CPU120. Interrupt request signal 101a to CPU120 is connected to CPU120 from the DMAC means 101.

[0089] Next, the code data stored in main memory is decoded with CODEC equipment 1, and the case where it stores in an image memory means is explained. First, CPU120 stores in the internal register of the DMAC means 101 the starting address and data size of code data which are stored in main memory 130, respectively. The DMAC means 101 is started using DMAC start signal 120b as 1 after that. The DMAC means 101 reads the code data one by one from the address of main memory 130 via the system bus 150. The read code data is once stored in the DMAC means 101 interior.

[0090] On the other hand, in parallel to the above-mentioned processing, CPU120 writes the set of the instruction word for the DMAC means 100 in image memory means 110a. And the DMAC means 100 is started, using DMAC start signal 120a as 1. The DMAC means 100 sets the internal register of CODEC equipment 1 according to instruction word, as the gestalt of the 1st operation already described. Thereby, the DMAReq signal 36 of CODEC equipment 1 is set to 1.

[0091] Moreover, CODEC equipment 1 is told about it outputting the code data stored in the interior to a data bus 31, and the effective code data as DMAAck signal =1 being on a data bus 31, if the DMAC means 101 serves as the DMAReq signal 36= 1. And CODEC equipment 1 reads code data and sets the DMAReq signal 36 to 0. Thereby, the DMAC means 101 sets the DMAAck signal 37 to 0. Thus, using the DMAReq signal 36 and the DMAAck signal 37, CODEC equipment 1 and the DMAC means 101 are performing handshake control, and transmit code data.

[0092] Furthermore, CODEC equipment 1 decodes it, after receiving code data (1 word or two or more words) from the DMAC means 101, and it makes image data. This image data is written in image memory means 110a through the image data bus 20 by the DMAC means 100. Since the gestalt of the 1st operation explained, an image data

transfer is omitted.

[0093] Moreover, the DMAC means 101 processes the various headers by which the code data stored in main memory 130 is transmitted to CODEC equipment 1, and also the load is carried out to the code data. There are some which specify selection of compression / elongation algorithm in CODEC equipment 1 in a header. In this example, JPEG is used about the image component of many gradation, and the run length compression algorithm is used about monochrome binary image.

[0094] A header distinguishes a JPEG sign and run length compression. If a header is discovered in the code data read from main memory 130, the DMAC means 101 will rewrite the parameter register of CODEC equipment 1 using the WT signal 33 of the sign data bus 30, the address 34, and a data bus 31, and will change a decode means.

[0095] And after the transfer to the CODEC equipment 1 of the code data of the amount set as the register of the DMAC means 101 is completed, the DMAC means 101 sets interrupt request signal 101a to 1, and notifies completion to CPU120. CPU120 gets to know completion of processing because the interrupt from both occurred.

[0096] Although the case which decrypts namely, elongates code data was explained above, since the case which encodes namely, compresses image data only has the reverse direction where data flow, explanation is omitted.

[0097] As explained above, when two or more compression / elongation algorithms were changed and compression and elongation were performed, the DMAC means considered the CODEC system of this invention as the configuration which can operate an internal register. Thereby, processing by CPU can be reduced as much as possible, and improvement in processing speed can be aimed at.

[0098] Furthermore, the CODEC system of this invention can be made the configuration mounted on a single integrated circuit like the CODEC equipment explained above. This becomes possible to reduce the number of pads of an integrated circuit, and the number of pins of the package of an integrated circuit.

[0099] In the above mentioned explanation, although JPEG was adopted as a method of coding/decryption, other coding/decryption methods may be adopted. Moreover, two or more coding means and decryption means of a method are mounted in CODEC equipment, and you may make it enable it to choose a decryption means [which coding means or] is operated with a command register.

[0100] Furthermore, in the above mentioned explanation, although considered as image data as digital data, it is applicable to the other digitized general data. Moreover, in the above mentioned explanation, although the mediation means gave priority to the image data bus side, it may make high the priority by the side of a sign data bus. Moreover, you may make it replace the priority of both buses with round robin scheduling. The priority attachment approach of a mediation means is because there is a respectively desirable mode according to the application of the processor containing CODEC equipment.

[0101]

[Effect of the Invention] As explained above, the CODEC equipment of this invention was considered as the configuration which abolishes the exclusive input/output port means for access to an internal register means. It enables this to reduce the number of pins of I/O of CODEC equipment.

[0102] Moreover, it considered as the configuration which mounts the CODEC equipment of this invention on a single integrated circuit. This becomes possible to reduce the number of pads of an integrated circuit, and the number of pins of the package of an integrated circuit.

[0103] Furthermore, the DMAC means considered the CODEC system of this invention as the configuration which can control the internal register of CODEC equipment. It becomes possible to raise by this the engine performance of the DMA transfer of the image data outputted and inputted to CODEC equipment, and to raise the engine performance of coding/decryption processing.

[0104] Moreover, the CODEC system of this invention was considered as the configuration which establishes a DMAC means to control a DMAC means to control an image memory and an internal register, and main memory and an internal register. Thereby, it becomes possible to raise the engine performance of coding/decryption processing further.

[0105] Furthermore, the CODEC system of this invention was considered as the configuration mounted on a single integrated circuit. This becomes possible to reduce the number of pads of an integrated circuit, and the number of pins of the package of an integrated circuit.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the principle Fig. of the CODEC equipment of this invention.

[Drawing 2] It is the block diagram of CODEC equipment.

[Drawing 3] It is the state transition diagram of the state machine of a mediation means.

[Drawing 4] It is the block diagram of an internal register means.

[Drawing 5] It is drawing showing the 1-bit circuit diagram of the arbitration of a command register.

[Drawing 6] It is drawing showing the 1-bit circuit diagram of the arbitration of a status register.

[Drawing 7] It is the block diagram showing a part of coding side internal register access means.

[Drawing 8] It is the table of truth value showing the input / output relation of an address decoder.

[Drawing 9] The logic and the connection place of the AND gate are shown.

[Drawing 10] It is drawing showing the timing of operation when writing in an internal register means from an image data bus.

[Drawing 11] When competing with a sign data bus, it is the timing chart showing signs that the internal register means from an image data bus side is accessed.

[Drawing 12] It is the principle Fig. of the CODEC system of this invention.

[Drawing 13] It is the block diagram of a CODEC system.

[Drawing 14] It is drawing showing the relation between the instruction word for DMAC within an image memory means, and an image data area.

[Drawing 15] It is the block diagram showing the gestalt of operation of the 2nd of a CODEC system.

[Drawing 16] It is drawing showing the CODEC equipment by the conventional technique.

[Drawing 17] It is drawing showing the CODEC system by the conventional technique.

[Description of Notations]

4 Coding Means

5 Decryption Means

6 Mediation Means

7 Internal Register Means

8 Coding Side Internal Register Access Means

9 Decryption Side Internal Register Access Means

10 Internal Bus

200 Digital One / Decode Data I/O Means

300 Code Data I/O Means